

Docket No.: 60188-588

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
:
Motohide NISHIBATA, et al. :
:
Serial No.: : Group Art Unit:
:
Filed: July 18, 2003 : Examiner:
:
For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND DEBUGGER DEVICE FOR THE
SAME

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

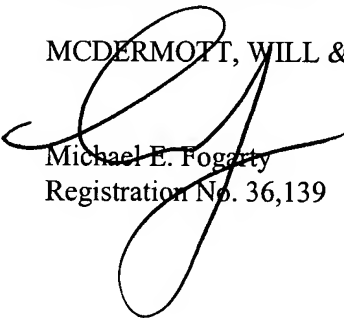
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-214963, filed July 24, 2002,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:km
Facsimile: (202) 756-8087
Date: July 18, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

60188-588

Motohide Nishibata, et al

July 18, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月24日

出 願 番 号

Application Number:

特願2002-214963

[ST.10/C]:

[JP 2002-214963]

出 願 人

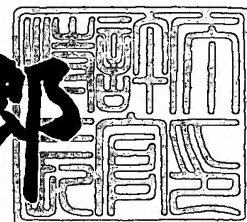
Applicant(s):

松下電器産業株式会社

2003年 5月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3040848

【書類名】 特許願

【整理番号】 5037740040

【提出日】 平成14年 7月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

 【氏名】 西畑 素秀

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

 【氏名】 三上 勉

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

 【氏名】 生形 篤

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

 【氏名】 宮脇 光一郎

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

 【氏名】 山下 太紀夫

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社



【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置及びそのデバッグ装置

【特許請求の範囲】

【請求項 1】 メモリ部、入出力部、CPUコア及び該CPUコアで実行されるプログラムの動作を検証する第 1 のデバッグ回路部を有する第 1 の半導体チップと、

前記第 1 の半導体チップの主面上に保持され、前記CPUコア及び前記第 1 のデバッグ回路部と電気的に接続された第 2 のデバッグ回路部を有する第 2 の半導体チップとを備え、

前記第 1 のデバッグ回路部は、外部から入力されるデバッグ命令を解析する命令解析部と、解析した命令が前記CPUコアで実行する命令である場合は前記CPUコアに送信し、その実行結果を前記CPUコアから受信する第 1 送受信部と、前記第 2 のデバッグ回路部で実行する命令である場合は前記第 2 のデバッグ回路部に送信し、その実行結果を前記第 2 のデバッグ回路部から受信する第 2 送受信部とを有し、

前記第 2 のデバッグ回路部はデバッグ機能回路を含むことを特徴とする半導体集積回路装置。

【請求項 2】 メモリ部、入出力部、第 1 のCPUコア、該第 1 のCPUコアで実行されるプログラムの動作を検証する第 1 のデバッグ回路部、第 2 のCPUコア、該第 2 のCPUコアで実行されるプログラムの動作を検証する第 2 のデバッグ回路部を有する第 1 の半導体チップと、

前記第 1 の半導体チップの主面上に保持され、前記第 1 のCPUコア及び前記第 1 のデバッグ回路部と電気的に接続された第 3 のデバッグ回路部を有する第 2 の半導体チップと、

前記第 1 の半導体チップの主面上に保持され、前記第 2 のCPUコア及び前記第 2 のデバッグ回路部と電気的に接続された第 4 のデバッグ回路部を有する第 3 の半導体チップと、

外部から入力されるデバッグ命令を、前記第 1 のデバッグ回路部又は前記第 2 のデバッグ回路部に切り換える命令切替部とを備え、



前記第 1 のデバッグ回路部は、前記命令切替部を通して入力されるデバッグ命令を解析する命令解析部と、解析した命令が前記第 1 の CPU コアで実行する命令である場合は前記第 1 の CPU コアに送信し、その実行結果を前記第 1 の CPU コアから受信する第 1 送受信部と、前記第 3 のデバッグ回路部で実行する命令である場合は前記第 3 のデバッグ回路部に送信し、その実行結果を前記第 3 のデバッグ回路部から受信する第 2 送受信部とを有し、

前記第 2 のデバッグ回路部は、前記命令切替部を通して入力されるデバッグ命令を解析する命令解析部と、解析した命令が前記第 2 の CPU コアで実行する命令である場合は前記第 2 の CPU コアに送信し、その実行結果を前記第 2 の CPU コアから受信する第 3 送受信部と、前記第 4 のデバッグ回路部で実行する命令である場合は前記第 4 のデバッグ回路部に送信し、その実行結果を前記第 4 のデバッグ回路部から受信する第 4 送受信部とを有し、

前記第 3 のデバッグ回路部及び第 4 のデバッグ回路部は、それぞれデバッグ機能回路を含むことを特徴とする半導体集積回路装置。

【請求項 3】 前記デバッグ機能回路は、ウォッチポイント回路、トレース回路、タイマ回路、トリガ回路及びキャッシュ情報回路のうちの少なくとも 1 つを含み、且つ同一の機能回路同士でその規模及び構成が互いに異なる複数の回路から選択されて構成されていることを特徴とする請求項 1 又は 2 に記載の半導体集積回路装置。

【請求項 4】 前記デバッグ機能回路は、書き換え可能なハードウェア回路であることを特徴とする請求項 1 ～ 3 のうちのいずれか 1 項に記載の半導体集積回路装置。

【請求項 5】 メモリ部、入出力部、CPU コア及び該 CPU コアで実行されるプログラムの動作を検証する第 1 のデバッグ回路部を有する第 1 の半導体チップと、前記第 1 の半導体チップの主面上に保持され、前記 CPU コア及び前記第 1 のデバッグ回路部と電気的に接続された第 2 のデバッグ回路部を有する第 2 の半導体チップとを有する半導体集積回路装置における前記第 1 のデバッグ回路部及び前記第 2 のデバッグ回路部に命令を発行するデバッガ装置であって、

前記第 2 のデバッグ回路部が有するデバッグ機能を特定するデバッグ搭載機能

管理部と、

特定されたデバッグ機能に基づいて、前記デバッガ装置を初期化するデバッガ本体再構築部とを備えていることを特徴とするデバッガ装置。

【請求項 6】 前記半導体集積回路装置における前記第 2 の半導体チップは、書き換え可能なハードウェア回路を有しており、

前記ハードウェア回路の情報を管理するハードウェア情報管理部と、

前記ハードウェア回路に含まれる 1 つ以上のデバッグ機能を搭載可能か否かを判定するデバッグ機能構築判定部と、

前記デバッグ機能構築判定部において搭載可能と判定されたデバッグ機能を前記ハードウェア回路に構築するデバッグ機能構築部とをさらに備えていることを特徴とする請求項 5 に記載のデバッガ装置。

【請求項 7】 前記デバッグ機能構築部は、あらかじめ回路データとして作成された複数のハードウェア回路のうちのいずれか 1 つを選択することを特徴とする請求項 6 に記載のデバッガ装置。

【請求項 8】 前記ハードウェア回路に設定されているデバッグ情報を保存するデバッグ設定情報管理部をさらに備え、

前記デバッグ設定情報管理部は、前記ハードウェア回路に設定されているデバッグ情報を解除した後、保存した前記デバッグ情報を前記ハードウェア回路に再度設定することを特徴とする請求項 7 に記載のデバッガ装置。

【請求項 9】 前記デバッグ機能構築部は、複数のデバッグ機能を保持するデバッグ機能情報管理部を有し、

前記ハードウェア情報管理部は、複数のハードウェア回路情報を保持するハードウェア情報管理部を有していることを特徴とする請求項 6 ～ 8 のうちのいずれか 1 項に記載のデバッガ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マイクロコンピュータ又はマイクロプロセッサ等を含み、CPU で実行されるプログラムの動作を検証するデバッグ回路を内蔵した半導体集積回路

装置、及びそのプログラムのデバッグを行なうデバッグ装置に関する。

【 0 0 0 2 】

【従来の技術】

従来、家庭用電化製品等に組み込まれるマイクロコンピュータを始めとするプロセッサにより実行されるソフトウェアプログラム（以下、単にプログラムと呼ぶ。）の開発及び動作検証を行なうには、インサーキットエミュレータ（ICE）、命令レベルソフトウェアシミュレータ又はモニタ等を用いて行なわれている。ICEは、マイクロコンピュータ又はマイクロプロセッサに特有のデバッグツールである。また、命令レベルソフトウェアシミュレータは、開発ターゲットであるマイクロコンピュータ又はマイクロプロセッサ上のプログラムを、例えばホストコンピュータ上で実行（シミュレーション）することにより、該ホストコンピュータにマイクロコンピュータ又はマイクロプロセッサと同一の実行状態を模擬的に作り出す手法である。また、モニタは、マイクロコンピュータ又はマイクロプロセッサが完成した後、マイクロコンピュータ又はマイクロプロセッサ上で実行しているプログラムの監視（モニタリング）を行なうために、あらかじめプログラムの内部に実行制御又は監視を行なうモニタリングプログラムを組み込んでおき、ホストコンピュータからモニタリングプログラムを操作することにより、マイクロコンピュータ又はマイクロプロセッサ上のプログラムのデバッグを行なう手法である。

【 0 0 0 3 】

ところで、従来のICEは、開発用の評価ボードを用意し、この評価ボードに搭載するプロセッサに代えて、専用のハードウェアを取り付けることによりターゲットプログラムの開発及びデバッグを行なっている。しかしながら、最近では、家庭用電化製品の小型化や、最終製品と同じ形態のプログラム動作環境でデバッグすることが多くなり、ICEのような専用のハードウェアを取り付けることが困難となってきている。また、ICEはデバッグ専用のツールであるため、最終製品と動作条件が異なる場合があり、ICEで動作時には発生しないプログラムの動作障害が、最終製品では発生するということも多くなってきている。

【 0 0 0 4 】

これらの問題を解決するため、最近では、実製品と同一の動作環境でプログラムの開発及び動作の検証を行なえるように、プロセッサ上にあらかじめ所定のデバッグ回路を組み込んでおき、組み込まれたデバッグ回路を用いてデバッグを行なうオンチップデバッグ環境が開発されている。

【0005】

従って、オンチップデバッグ環境は、あらかじめ組み込まれたデバッグ回路を用いることにより、開発時に限らず、製品の完成後にプログラムの動作障害が発生した場合でも、実際の製品上でプログラムの動作解析を行なうことができる。

【0006】

【発明が解決しようとする課題】

しかしながら、前記従来のオンチップデバッグ環境において、デバッグ機能はその種類が多く、ターゲットとするプロセッサが決まると、該プロセッサに組み込まれるデバッグ機能は限られてしまう。従って、プログラム開発者が望むデバッグ機能が組み込まれていない場合には、他の代替手段でデバッグを行なわなければならないという問題がある。

【0007】

また、プログラム開発における初期段階と最終段階とでは、一般に必要なデバッグ機能が異なるため、デバッグ機能が限定されていると、プログラム開発者の要望に十分に対応できないという問題もある。

【0008】

そこで、すべてのデバッグ機能をプロセッサに組み込むと、組み込まれたデバッグ回路の回路規模が大きくなり、その結果、プロセッサを含む半導体チップの小型化の妨げとなる。

【0009】

本発明は、前記従来の問題を解決し、所定のマイクロコンピュータチップ又はマイクロプロセッサチップに組み込まれる組み込みデバッグ回路であっても、複数のデバッグ機能を有効に利用できると共に、プログラムの開発工程と対応したデバッグ環境を構築できるようにすることを目的とする。

【0010】

【課題を解決するための手段】

前記の目的を達成するため、本発明は、半導体集積回路装置を、CPUコア及び第1のデバッグ回路を含む第1の半導体チップと、該第1の半導体チップの上に保持され、少なくとも1つのデバッグ機能を含む第2のデバッグ回路を有する第2の半導体チップとにより構成する。

【0011】

具体的に、本発明に係る第1の半導体集積回路装置は、メモリ部、入出力部、CPUコア及び該CPUコアで実行されるプログラムの動作を検証する第1のデバッグ回路部を有する第1の半導体チップと、第1の半導体チップの主面上に保持され、CPUコア及び第1のデバッグ回路部と電氣的に接続された第2のデバッグ回路部を有する第2の半導体チップとを備え、第1のデバッグ回路部は、外部から入力されるデバッグ命令を解析する命令解析部と、解析した命令がCPUコアで実行する命令である場合はCPUコアに送信し、その実行結果をCPUコアから受信する第1送受信部と、第2のデバッグ回路部で実行する命令である場合は第2のデバッグ回路部に送信し、その実行結果を第2のデバッグ回路部から受信する第2送受信部とを有し、第2のデバッグ回路部はデバッグ機能回路を含む。

【0012】

第1の半導体集積回路装置によると、メモリ部、入出力部、CPUコア及び該CPUコアで実行されるプログラムの動作を検証する第1のデバッグ回路部を有する第1の半導体チップと、第1の半導体チップの主面上に保持され、CPUコア及び第1のデバッグ回路部と電氣的に接続された第2のデバッグ回路部を有する第2の半導体チップとを備えている。このため、第1の半導体チップの上に保持された第1の半導体チップとは別体の第2の半導体チップの第2のデバッグ回路に複数のデバッグ機能を持たせることができるようになる。その結果、第2の半導体チップにデバッグに必要なすべてのデバッグ機能を組み込んだとしても、第1の半導体チップの回路規模が大きくなることがない。従って、同一のマイクロコンピュータ又はマイクロプロセッサに組み込まれるデバッグ回路であっても、複数のデバッグ機能をより有効に利用できるようになり、且つプログラムの開

発工程と対応したデバッグ環境を構築できるようになる。

【 0 0 1 3 】

本発明に係る第2の半導体集積回路装置は、メモリ部、入出力部、第1のCPUコア、該第1のCPUコアで実行されるプログラムの動作を検証する第1のデバッグ回路部、第2のCPUコア、該第2のCPUコアで実行されるプログラムの動作を検証する第2のデバッグ回路部を有する第1の半導体チップと、第1の半導体チップの主面上に保持され、第1のCPUコア及び第1のデバッグ回路部と電気的に接続された第3のデバッグ回路部を有する第2の半導体チップと、第1の半導体チップの主面上に保持され、第2のCPUコア及び第2のデバッグ回路部と電気的に接続された第4のデバッグ回路部を有する第3の半導体チップと、外部から入力されるデバッグ命令を、第1のデバッグ回路部又は第2のデバッグ回路部に切り換える命令切替部とを備え、第1のデバッグ回路部は、命令切替部を通して入力されるデバッグ命令を解析する命令解析部と、解析した命令が第1のCPUコアで実行する命令である場合は第1のCPUコアに送信し、その実行結果を第1のCPUコアから受信する第1送受信部と、第3のデバッグ回路部で実行する命令である場合は第3のデバッグ回路部に送信し、その実行結果を第3のデバッグ回路部から受信する第2送受信部とを有し、第2のデバッグ回路部は、命令切替部を通して入力されるデバッグ命令を解析する命令解析部と、解析した命令が第2のCPUコアで実行する命令である場合は第2のCPUコアに送信し、その実行結果を第2のCPUコアから受信する第3送受信部と、第4のデバッグ回路部で実行する命令である場合は第4のデバッグ回路部に送信し、その実行結果を第4のデバッグ回路部から受信する第4送受信部とを有し、第3のデバッグ回路部及び第4のデバッグ回路部は、それぞれデバッグ機能回路を含む。

【 0 0 1 4 】

第2の半導体集積回路装置によると、第1の半導体集積回路装置と同様の効果を得られる上に、第1の半導体チップに複数のCPUコアが設けられている場合であっても、第1の半導体チップの上にCPUコアごとに保持される第2の半導体チップ及び第3の半導体チップを備えているため、CPUコアごとにプログラムのデバッグ機能を選択して組み込むことができる。

【 0 0 1 5 】

第 1 又は第 2 の半導体集積回路装置において、デバッグ機能回路が、ウォッチポイント回路、トレース回路、タイマ回路、トリガ回路及びキャッシュ情報回路のうちの少なくとも 1 つを含み、且つ同一の機能回路同士でその規模及び構成が互いに異なる複数の回路から選択されて構成されていることが好ましい。

【 0 0 1 6 】

また、第 1 又は第 2 の半導体集積回路装置において、デバッグ機能回路が、書き換え可能なハードウェア回路であることが好ましい。

【 0 0 1 7 】

このようにすると、第 2 の半導体チップの第 2 のデバッグ回路に組み込まれたデバッグ機能をプログラムの開発状況に合わせて選択的に構築できるため、プログラムのデバッグをさらに効率良く行なうことができる。

【 0 0 1 8 】

本発明に係るデバッグ装置は、メモリ部、入出力部、CPU コア及び該 CPU コアで実行されるプログラムの動作を検証する第 1 のデバッグ回路部を有する第 1 の半導体チップと、第 1 の半導体チップの主面上に保持され、CPU コア及び第 1 のデバッグ回路部と電気的に接続された第 2 のデバッグ回路部を有する第 2 の半導体チップとを有する半導体集積回路装置における第 1 のデバッグ回路部及び第 2 のデバッグ回路部に命令を発行するデバッグ装置を対象とし、第 2 のデバッグ回路部が有するデバッグ機能を特定するデバッグ搭載機能管理部と、特定されたデバッグ機能に基づいてデバッグ装置を初期化するデバッグ本体再構築部とを備えている。

【 0 0 1 9 】

本発明のデバッグ装置は、本発明の半導体集積回路装置をデバッグ対象とするプログラムのデバッグ装置であって、第 2 の半導体チップの第 2 のデバッグ回路部が有するデバッグ機能を特定するデバッグ搭載機能管理部と、特定されたデバッグ機能に基づいてデバッグ装置を初期化するデバッグ本体再構築部とを備えている。このため、第 2 のデバッグ回路部に組み込まれたデバッグ機能が従来のように固定されておらず半導体チップごとに異なる場合であっても、本発明のデバ

ッガ装置は、第2の半導体チップの第2のデバッグ回路部に組み込まれたデバッグ機能により確実にデバッグ操作を実行することができる。

【0020】

本発明のデバッグ装置は、半導体集積回路装置の第2の半導体チップが、書き換え可能なハードウェア回路を有しており、ハードウェア回路の情報を管理するハードウェア情報管理部と、ハードウェア回路に含まれる1つ以上のデバッグ機能を搭載可能か否かを判定するデバッグ機能構築判定部と、デバッグ機能構築判定部において搭載可能と判定されたデバッグ機能をハードウェア回路に構築するデバッグ機能構築部とをさらに備えていることが好ましい。

【0021】

このようにすると、第2の半導体チップの第2のデバッグ回路に組み込まれたデバッグ機能をプログラムの開発状況に合わせて選択的に構築できるため、プログラムのデバッグをさらに効率良く行なうことができる。

【0022】

この場合に、デバッグ機能構築部が、あらかじめ回路データとして作成された複数のハードウェア回路のうちのいずれか1つを選択することが好ましい。

【0023】

このようにすると、ハードウェア回路を第2のデバッグ回路部に構築する時間が短縮されるため、デバッグ装置の立上げ時間を短縮することができる。

【0024】

さらにこの場合に、本発明のデバッグ装置が、ハードウェア回路に設定されているデバッグ情報を保存するデバッグ設定情報管理部をさらに備え、デバッグ設定情報管理部が、ハードウェア回路に設定されているデバッグ情報を解除した後、保存したデバッグ情報をハードウェア回路に再度設定することが好ましい。

【0025】

このようにすると、プログラムデバッグ中に使用できるデバッグ機能の構成をデバッグ装置から変更できるため、さらに効率良くプログラムのデバッグを行うことができる。

【0026】

また、このとき、デバッグ機能構築部は、複数のデバッグ機能を保持するデバッグ機能情報管理部を有し、ハードウェア情報管理部は、複数のハードウェア回路情報を保持するハードウェア情報管理部を有していることが好ましい。

【0027】

このようにすると、複数のCPUコアを有する半導体集積回路装置であっても、各CPUコアごとに適したデバッグ環境を構築することができる。

【0028】

【発明の実施の形態】

(第1の実施形態)

本発明の第1の実施形態について図面を参照しながら説明する。

【0029】

図1は本発明の第1の実施形態に係る半導体集積回路装置のブロック構成を示している。

【0030】

図1に示すように、マイクロコンピュータチップである第1の半導体チップ100には、例えば、CPU110、該CPU110で実行されるプログラムを格納する読み出し専用メモリであるROM部120、書き換え可能なメモリであるRAM部130、並びに入出力回路等を含む第1周辺回路部140及び第2周辺回路部150がそれぞれ共通信号線であるバス105と接続されて配置されている。

【0031】

また、CPU110で実行されるプログラムの動作を検証するデバッグ基本回路部160が、CPU110、及びデバッグ用のソフトウェアであるデバッガを搭載したホストコンピュータ（図示せず）とそれぞれ信号線により接続されて配置されている。但し、第1の半導体チップ100の構成は一例であって、これに限られない。

【0032】

第1の実施形態の特徴として、第1の半導体チップ100の主面上には、1つ以上のデバッグ機能を有するデバッグ拡張回路部210が形成された第2の半導

体チップ 2 0 0 が、CPU 1 1 0 及びデバッグ基本回路部 1 6 0 を覆うように、例えばチップオンチップ方式により保持されている。

【 0 0 3 3 】

図 2 (a) に第 1 の半導体チップ 1 0 0 における CPU 1 1 0 及びデバッグ基本回路部 1 6 0 と第 2 の半導体チップ 2 0 0 とを含む部分を拡大して示す。また、図 2 (b) に図 2 (a) の断面構成を示す。

【 0 0 3 4 】

図 2 (a) 及び図 2 (b) に示すように、第 1 の半導体チップ 1 0 0 において、CPU 1 1 0 とデバッグ基本回路部 1 6 0 とは、該デバッグ基本回路部 1 6 0 からの命令を CPU 1 1 0 に通知する CPU 命令通知信号線 1 6 1 と、CPU 1 1 0 からのプログラムの実行情報及び命令の実行結果を受ける CPU 実行結果受信信号線 1 6 2 とによって接続されている。

【 0 0 3 5 】

また、デバッグ基本回路部 1 6 0 は、デバッガ命令通知信号線 1 6 3 によりホストコンピュータ（図示せず）と接続されており、接続されたホストコンピュータから命令を受けると共にその実行結果をホストコンピュータに通知する。

【 0 0 3 6 】

デバッグ基本回路部 1 6 0 とデバッグ拡張回路部 2 1 0 とは、デバッグ拡張回路部設定情報通知信号線 1 6 4 及びデバッグ拡張回路部結果受信信号線 1 6 5 によって接続されている。デバッグ基本回路部 1 6 0 は、ホストコンピュータから受信した命令がデバッグ拡張回路部 2 1 0 に対する命令である場合には、受信した命令をデバッグ拡張回路部設定情報通知信号線 1 6 4 を通してデバッグ拡張回路部 2 1 0 に送信し、その実行結果をデバッグ拡張回路部結果受信信号線 1 6 5 を通して受信する。

【 0 0 3 7 】

デバッグ拡張回路部 2 1 0 と CPU 1 1 0 とは、アドレス情報信号線 1 6 6 及びオペランド情報信号線 1 6 7 によって接続されている。デバッグ拡張回路部 2 1 0 は、必要な実行アドレス情報を CPU 1 1 0 からアドレス情報信号線 1 6 6 を通して受信する。また、デバッグ拡張回路部 2 1 0 は、命令に含まれるデータ

又はアドレス情報からなる実行オペランド情報をCPU110からオペランド情報信号線167を通して受信する。

【0038】

なお、CPU命令通知信号線161、CPU実行結果受信信号線162、デバッグ拡張回路部設定情報通知信号線164、デバッグ拡張回路部結果受信信号線165、アドレス情報信号線166、及びオペランド情報信号線167は、例えば8ビット又は16ビットデータを転送可能な平行信号線により構成されている。

【0039】

図3は本発明の第1の実施形態に係るデバッグ基本回路部160の詳細な構成の一例を示している。

【0040】

図3に示すように、デバッグ基本回路部160は、通信部171、デバッグ命令解析部172、CPU実行命令送信部173、CPU実行結果受信部174、デバッグ拡張回路部設定情報送信部175、及びデバッグ拡張回路部結果受信部176により構成されている。

【0041】

通信部171はホストコンピュータとの通信を制御し、デバッグ命令解析部172は通信部171が受信した命令を解析し、解析した命令の内容に応じてCPU実行命令送信部173又はデバッグ拡張回路部設定情報送信部175に命令を送信する。

【0042】

CPU実行命令送信部173は、デバッグ命令解析部172からの命令をCPU命令通知信号線161を通してCPU110に送信する。また、CPU実行結果受信部174は、CPU110における命令の実行結果と、ROM部120、RAM部130及び各種レジスタの内容とをCPU結果受信信号線162を通して受信する。

【0043】

デバッグ拡張回路部設定情報送信部175は、デバッグ命令解析部172から

の命令（デバッグ設定情報）をデバッグ拡張回路部設定情報通知信号線 1 6 4 を通してデバッグ拡張回路部 2 1 0 に送信する。また、デバッグ拡張回路部結果受信部 1 7 6 は、デバッグ拡張回路部 2 1 0 に設定された命令の実行結果をデバッグ拡張回路部結果受信信号線 1 6 5 を通して受信する。

【 0 0 4 4 】

図 4 は本発明の第 1 の実施形態に係るデバッグ拡張回路部 2 1 0 の詳細な構成の一例を示している。

【 0 0 4 5 】

図 4 に示すように、デバッグ拡張回路部 2 1 0 は、互いに異なる機能を持った複数のデバッグ回路を含むデバッグ機能回路部 2 2 0 を有している。ここでは、複数のデバッグ回路のうち、例えば、ウォッチポイント回路 2 2 1、トレース回路 2 2 2、タイマ回路 2 2 3、トリガ回路 2 2 4、及びキャッシュ情報回路 2 2 5 を含む構成としている。

【 0 0 4 6 】

良く知られているように、ウォッチポイント回路 2 2 1 は、命令により設定されたプログラム中の停止位置（ブレークポイント）や、イベント（事象）の発生を監視して通知する。トレース回路 2 2 2 は、CPU 1 1 0 におけるプログラムの実行内容及び実行結果を保存する。タイマ回路 2 2 3 は、CPU 1 1 0 におけるプログラムの実行時間情報を管理する。トリガ回路 2 2 4 は、図示はしていないが外部からのトリガ入力や外部へのトリガ出力を監視する。キャッシュ情報回路 2 2 5 は、CPU 1 1 0 にキャッシュメモリが搭載されている場合に有効であり、CPU 1 1 0 のキャッシュメモリの使用状況及びヒット率を監視する。

【 0 0 4 7 】

デバッグ機能回路部 2 2 0 に対する命令及びデバッグに関する設定情報は、デバッグ拡張回路部設定情報通知信号線 1 6 4 を通して設定情報受信部 2 3 1 に通知される。

【 0 0 4 8 】

設定情報設定部 2 3 2 は、設定情報受信部 2 3 1 が受信した命令及び設定情報を解析し、解析した設定情報をウォッチポイント回路 2 2 1、トレース回路 2 2

2、タイマ回路 2 2 3、トリガ回路 2 2 4 及びキャッシュ情報回路 2 2 5 にそれぞれ設定情報通知信号線 2 2 6 を通して通知する。

【 0 0 4 9 】

状態管理部 2 3 3 は、結果通知信号線 2 2 7 を通してデバッグ機能回路部 2 2 0 の実行状態を監視する。

【 0 0 5 0 】

結果送信部 2 3 4 は、デバッグ機能回路部 2 2 0 の実行結果をデバッグ拡張回路部結果受信信号線 1 6 5 を通してデバッグ基本回路部 1 6 0 に通知する。

【 0 0 5 1 】

第 1 の実施形態の特徴として、デバッグ機能回路部 2 2 0 に組み込まれている各デバッグ回路が持つ個々の機能がホストコンピュータから識別できるようにデバッグ搭載回路識別部 2 3 5 を有しており、ここでは、ウォッチポイント回路 2 2 1、トレース回路 2 2 2、タイマ回路 2 2 3、トリガ回路 2 2 4 及びキャッシュ情報回路 2 2 5 を識別できる識別情報を保持している。

【 0 0 5 2 】

また、デバッグ拡張回路部 2 1 0 は、アドレス情報受信部 2 3 6 とオペランド情報受信部 2 3 7 とを有している。アドレス情報受信部 2 3 6 は、アドレス情報信号線 1 6 6 から必要なアドレス情報を受け、アドレス情報通知信号線 2 2 8 を通してデバッグ機能回路部 2 2 0 の各デバッグ回路に通知する。オペランド情報受信部 2 3 7 は、オペランド情報信号線 1 6 7 から必要なオペランド情報を受け、オペランド情報通知信号線 2 2 9 を通してデバッグ機能回路部 2 2 0 の各デバッグ回路に通知する。

【 0 0 5 3 】

ここで、デバッグ拡張回路部 2 1 0 に組み込まれているウォッチポイント回路 2 2 1、トレース回路 2 2 2、タイマ回路 2 2 3、トリガ回路 2 2 4 及びキャッシュ情報回路 2 2 9 は、それぞれの機能内容に応じて複数用意されたなかから選択されて構成されている。すなわち、プログラムの開発者がターゲットプログラムのデバッグに必要とされる機能を半導体集積回路装置（L S I）の開発時に選択する。

【 0 0 5 4 】

また、各回路 2 2 1 ～ 2 2 5 は、そのいずれもがアドレス情報受信部 2 3 6 とアドレス情報通知信号線 2 2 8 を介して接続されており、また、そのいずれもがオペランド情報受信部 2 3 7 とオペランド情報通知信号線 2 2 9 を介して接続されているが、各回路 2 2 1 ～ 2 2 5 のうち、デバッグの状況によっては、アドレス情報受信部 2 3 6 又はオペランド情報受信部 2 3 7 と接続されない構成であってもよい。

【 0 0 5 5 】

図 5 (a) ～ 図 5 (e) は第 1 の実施形態に係る半導体集積回路装置に選択可能な機能ごとのデバッグ回路の一例を示している。ここでは、各回路 A、B、C の順に回路規模が小さくなることを模式的に表わしている。

【 0 0 5 6 】

図 5 (a) は第 2 の半導体チップ 2 0 0 のデバッグ拡張回路部 2 1 0 に組み込み可能なウォッチポイント回路 2 2 1 の一例を示している。これらの回路 A ～ C は、設定できるウォッチポイントの件数又はウォッチポイントの種類により回路の規模及び構成がそれぞれ異なっている。

【 0 0 5 7 】

図 5 (b) はデバッグ拡張回路部 2 1 0 に組み込み可能なトレース回路 2 2 2 の一例を示し、各回路 A ～ C は、設定できるトレースの件数又はトレースの種類により回路の規模及び構成がそれぞれ異なっている。

【 0 0 5 8 】

同様に、図 5 (c) はデバッグ拡張回路部 2 1 0 に組み込み可能なタイマ回路 2 2 3 の一例を示し、各回路 A ～ C は、設定できるタイマの件数又はタイマの種類により回路の規模及び構成がそれぞれ異なっている。図 5 (d) はデバッグ拡張回路部 2 1 0 に組み込み可能なトリガ回路 2 2 4 の一例を示し、各回路 A ～ C は、設定できるトリガの件数又はトリガの種類により回路の規模及び構成がそれぞれ異なっている。図 5 (e) はデバッグ拡張回路部 2 1 0 に組み込み可能なキャッシュ情報回路 2 2 5 の一例を示し、各回路 A ～ C は、設定できるキャッシュ情報の種類により回路の規模及び構成がそれぞれ異なっている。

【 0 0 5 9 】

図 6 は図 5 (a) ～図 5 (e) に基づいて作成した、デバッグ機能回路 2 2 0 に組み込み可能なデバッグ回路の組み合わせの一覧を示している。前述したように、プログラム開発者は、L S I の開発時にデバッグ機能回路 2 2 0 に組み込みたい組み合わせのなかから、単一機能を持つデバッグ回路を適当に組み合わせて選択する。選択された各デバッグ回路は、デバッグ拡張回路部 2 1 0 のデバッグ搭載回路識別部 2 3 5 に登録される。

【 0 0 6 0 】

このように、プログラムの動作検証に用いるデバッグ回路は、その種類が多く且つ単一機能である。本発はこの点に着目してなされたものであり、図 5 (a) ～図 5 (e) に示したように、単一で且つ互いに独立した機能を有する複数種類のデバッグ回路で、さらに、これら単一機能のデバッグ回路ごとに互いの回路規模や構成が異なる複数のデバッグ回路を用意しておき、これらのなかから、開発するプログラムのデバッグに最適なデバッグ回路を少なくとも 1 つ選択することにより、デバッグの効率を向上させることができる。

【 0 0 6 1 】

その上、デバッグ機能回路 2 2 0 は、C P U 1 1 0 が搭載された第 1 の半導体チップ 1 0 0 の上に保持された別体の第 2 の半導体チップ 2 0 0 に形成されるため、デバッグ工程ごとに必要なすべてのデバッグ回路を組み込んだとしても、第 1 の半導体チップ 1 0 0 の回路規模を増大させるおそれがない。

【 0 0 6 2 】

また、デバッグ基本回路部 1 6 0 には送信専用のデバッグ拡張回路部設定情報送信部 1 7 5 を設け、且つデバッグ拡張回路部 2 1 0 には受信専用の設定情報受信部 2 3 1 を設けている。このため、デバッグ拡張回路部 2 1 0 におけるデバッグ機能回路部 2 2 0 を構成するウォッチポイント回路 2 2 1 等の各デバッグ回路と接続される信号線が 1 組で済むので、信号線の本数を低減することができる。その結果、第 1 の半導体チップ 1 0 0 の上に第 2 の半導体チップ 2 0 0 を貼り合わせる工程において、信号線の本数が低減したことにより両チップ間の電気的な導通を図ることが容易となるため、両チップの貼り合わせの精度が高くなるので、

半導体集積回路装置における動作の信頼性が向上する。

【 0 0 6 3 】

なお、第 1 の実施形態においては、デバッグ拡張回路部 2 1 0 のデバッグ機能回路部 2 2 0 に組み込まれたデバッグ機能は、ウォッチポイント回路 2 2 1、トレース回路 2 2 2、タイマ回路 2 2 3、トリガ回路 2 2 4 及びキャッシュ情報回路 2 2 5 が搭載されているが、図 6 に示した組み合わせの一覧のなかから選べば良い。

【 0 0 6 4 】

以下、本発明の第 1 の実施形態に係る半導体集積回路装置におけるプログラムの動作を検証するデバッグ装置について説明する。

【 0 0 6 5 】

図 7 は本発明の第 1 の実施形態に係るデバッグ装置のブロック構成を示している。図 7 に示すように、デバッグ装置は、例えばパーソナルコンピュータからなり、出力装置であるディスプレイ 3 0 1 と入力装置であるキーボード 3 0 2 とを備えたホストコンピュータ 3 0 0 には、図 1 に示したデバッグ対象である半導体集積回路装置に搭載された CPU 1 1 0 上で実行されるプログラムの動作検証（デバッグ）を行なうソフトウェアであるデバッグ 3 1 0 が搭載されている。

【 0 0 6 6 】

デバッグ 3 1 0 は、デバッグ対象のプログラムのデバッグ情報をディスプレイ 3 0 1 に出力するデバッグ表示部 3 2 0 と、設定されたデバッグ命令、CPU 1 1 0 上で実行されるプログラムの実行制御、並びにプログラム情報の取得及び設定を管理するデバッグ本体部 3 3 0 と、キーボード 3 0 2 等からデバッグ 3 1 0 に入力された命令をデバッグ命令通知通信線 1 6 3 を通して、デバッグ対象の第 1 の半導体チップ 1 0 0 に組み込まれたデバッグ基本回路部 1 2 0 に送信し、その実行結果を受信するデバッグ通信部 3 4 0 とから構成されている。

【 0 0 6 7 】

デバッグ本体部 3 3 0 は、デバッグ対象の第 2 の半導体チップ 2 0 0 が有するデバッグ拡張回路部 2 1 0 に組み込まれたデバッグ機能情報を保持するデバッグ搭載機能管理部 3 3 1 と、該デバッグ搭載機能管理部 3 3 1 に保持されたデバッ

グ機能情報に基づき、開発対象のデバッグ拡張回路部 2 1 0 に組み込まれているデバッグ機能を利用できるように、デバッガ本体部 3 1 0 を初期化するデバッガ本体再構築部 3 3 2 とから構成されている。

【 0 0 6 8 】

第 1 の実施形態に係るデバッガ装置によると、たとえ、デバッグ拡張回路部 2 1 0 に組み込まれているデバッグ機能回路 2 2 0 が、デバッグ対象である半導体集積回路装置ごとに変更されたとしても、所望のデバッグ機能を選択することができる。

【 0 0 6 9 】

また、デバッグ拡張回路部 2 1 0 が形成された第 2 の半導体チップ 2 0 0 は、第 1 の半導体チップ 1 0 0 に形成されている CPU 1 1 0 及びデバッグ基本回路部 1 6 0 の上側にこれらを跨ぐように配置されているため、CPU 1 1 0 及びデバッグ基本回路部 1 6 0 とデバッグ拡張回路部 2 1 0 との間の電気配線長をいずれも短くできる。その結果、デバッグ機能回路 2 2 0 の応答性が極めて早くなり、デバッガ 3 1 0 が安定して動作する。

【 0 0 7 0 】

以下、本発明の第 1 の実施形態に係るデバッガ装置の初期化動作について説明する。

【 0 0 7 1 】

図 8 は第 1 の実施形態に係るデバッガ装置における初期化フローの一例を示している。ここでは、図 2、図 3、図 4、図 7 及び図 8 を参照しながらデバッガ装置の初期化動作を説明する。

【 0 0 7 2 】

まず、デバッガ 3 1 0 を起動すると、第 1 の工程 S T 1 において、デバッグ搭載機能管理部 3 3 1 は、第 2 の半導体チップ 2 0 0 におけるデバッグ拡張回路部 2 1 0 のデバッグ搭載回路識別部 2 3 5 に保持されているデバッグ回路の識別情報を取得するデバッグ機能取得命令を第 2 の半導体チップ 2 0 0 に発行する。

【 0 0 7 3 】

次に、第 2 の工程 S T 2 において、発行されたデバッグ機能取得命令は、デバ

デバッグ命令通知信号線 1 6 3 を通して第 1 の半導体チップ 1 0 0 におけるデバッグ基本回路部 1 6 0 の通信部 1 7 1 で受信され、デバッグ命令解析部 1 7 2 で解析される。解析された命令はデバッグ拡張回路部 2 1 0 に対する命令であるため、デバッグ拡張回路部設定情報送信部 1 7 5 からデバッグ拡張回路部設定情報通知信号線 1 6 4 を通して第 2 の半導体チップ 2 0 0 のデバッグ拡張回路部 2 1 0 に送信される。続いて、デバッグ拡張回路部 2 1 0 に含まれる設定情報受信部 2 3 1 は、デバッグ拡張回路部設定情報送信部 1 7 5 から送信された命令を受信し、デバッグ搭載回路識別部 2 3 5 が保持する識別情報を読み出す。続いて、読み出された識別情報は、結果送信部 2 3 4 からデバッグ拡張回路部結果受信信号線 1 6 5 を通して第 1 の半導体チップ 1 0 0 のデバッグ基本回路部 1 6 0 に送信される。続いて、デバッグ基本回路部 1 6 0 に含まれるデバッグ拡張回路部結果受信部 1 7 6 は、デバッグ拡張回路部 2 1 0 からの実行結果である識別情報を受け取り、通信部 1 7 1 からデバッグ命令通知信号線 1 6 3 を通して、デバッグ本体部 3 3 0 のデバッグ搭載機能管理部 3 3 1 に識別情報を送信する。

【 0 0 7 4 】

次に、第 3 の工程 S T 3 において、デバッグ本体部 3 3 0 のデバッグ本体再構築部 3 3 2 は、受け取った識別情報に基づいて、デバッグ装置が使用できるデバッグ機能を初期化する。

【 0 0 7 5 】

このように、第 1 の実施形態によると、デバッグ対象のプログラムを搭載した半導体集積回路装置を構成する第 2 の半導体チップ 2 0 0 には、デバッグ拡張回路部 2 1 0 が形成されており、該デバッグ拡張回路部 2 1 0 に選択して組み込まれた 1 つ以上のデバッグ回路を識別する識別情報を保持している。

【 0 0 7 6 】

従って、第 1 の実施形態に係るデバッグ装置は、デバッグ 3 1 0 の起動時に、デバッグ対象の半導体集積回路装置からデバッグ機能を識別する識別情報を取得し、取得した識別情報に基づいてデバッグ本体部 3 3 0 の初期化を行なうため、組み込まれているデバッグ機能回路 2 2 0 が変更になったとしても、デバッグ対象の半導体集積回路装置に応じたデバッグ環境を容易に且つ確実に構築すること

ができる。

【 0 0 7 7 】

(第 2 の実施形態)

以下、本発明の第 2 の実施形態について図面を参照しながら説明する。

【 0 0 7 8 】

図 9 (a) は本発明の第 2 の実施形態に係る半導体集積回路装置における C P U 及びデバッグ基本回路部と第 2 の半導体チップとを含む部分の平面構成を示し、図 9 (b) はその断面構成を示している。図 9 (a) 及び (b) において、図 2 (a) 及び (b) に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【 0 0 7 9 】

第 1 の実施形態との相違点は、第 2 の半導体チップ 2 0 0 が、書き換え可能なハードウェア回路であるフィールドプログラマブルゲートアレイ (F P G A) 4 1 0 により構成されている点である。

【 0 0 8 0 】

そのため、ホストコンピュータ上のデバッガから F P G A 4 1 0 に対して回路情報を転送できるように、第 1 の半導体チップ 1 0 0 に組み込まれたデバッグ基本回路部 1 6 0 と F P G A 4 1 0 との間に F P G A 回路設定信号線 1 6 8 が設けられている。

【 0 0 8 1 】

図 1 0 は本発明の第 2 の実施形態に係るデバッグ基本回路部 1 6 0 の詳細な構成の一例を示している。図 1 0 において、図 3 に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【 0 0 8 2 】

図 1 0 に示すように、デバッグ基本回路部 1 6 0 には、 F P G A 4 1 0 にデバッグ機能回路を構築するための F P G A 回路構成部 1 7 7 を設けている。

【 0 0 8 3 】

F P G A 回路構成部 1 7 7 は、ホストコンピュータ上のデバッガからデバッグ命令通知信号線 1 6 3 を通して F P G A 4 1 0 に書き込み要求が送信されたときに

、デバッガから送信されるFPGAの回路データに基づいてFPGA回路設定信号線168を通してFPGA410上にデバッグ機能回路を構築する。

【0084】

図11(a)～図11(e)は第2の実施形態に係る半導体集積回路装置に選択可能なデバッグ回路の一例を示している。ここでは、各回路a、b、cの順に回路規模が小さくなることを模式的に表わしている。

【0085】

図11(a)は第2の半導体チップ200のFPGA410に構築可能なウオッチポイント回路の一例を示している。各回路a～cは、設定できるウオッチポイントの件数又はウオッチポイントの種類により回路の規模及び構成がそれぞれ異なっている。

【0086】

同様に、図11(b)はFPGA410に構築可能なトレース回路の一例を示し、各回路a～cは、設定できるトレースの件数又はトレースの種類により回路の規模及び構成がそれぞれ異なっている。図11(c)はFPGA410に構築可能なタイマ回路の一例を示し、各回路a～cは、設定できるタイマの件数又はタイマの種類により回路の規模及び構成がそれぞれ異なっている。図11(d)はFPGA410に構築可能なトリガ回路の一例を示し、各回路a～cは、設定できるトリガの件数又はトリガの種類により回路の規模及び構成がそれぞれ異なっている。図11(e)はFPGA410に構築可能なキャッシュ情報回路の一例を示し、各回路a～cは、設定できるキャッシュ情報の種類により回路の規模及び構成がそれぞれ異なっている。

【0087】

これらの各デバッグ回路は、デバッグ工程に応じて選択することができるようにホストコンピュータにあらかじめ登録される。

【0088】

第2の実施形態においては、ホストコンピュータ300に搭載されたデバッガ310の起動時に、選択されたデバッグ回路をFPGA410に構築できるように回路データを作成し、作成した回路データをデバッガ命令通知信号線163を

通して転送し、FPGA410に選択されたデバッグ機能回路を構築する。

【0089】

以下、本発明の第2の実施形態に係る半導体集積回路装置におけるプログラムの動作を検証するデバッグ装置について説明する。

【0090】

図12は本発明の第2の実施形態に係るデバッグ装置のブロック構成を示している。図12において、図7に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0091】

図12に示すように、第2の実施形態に係るデバッグ装置は、そのデバッガ310に、例えば図11(a)～図11(e)に示すようなそれぞれ単一機能を有する複数のデバッグ回路のなかから所望のデバッグ回路を選択するデバッグ機能入力部321を有している。

【0092】

デバッガ本体部330は、第1の実施形態の構成に加えて、デバッグ対象のプログラムに関するデバッグ情報を保持するデバッグ設定情報管理部333と、デバッグ機能入力部321により選択されたデバッグ回路が、ターゲットのFPGA410に構築可能か否かを判定するデバッグ機能構築判定部334と、該デバッグ機能構築判定部334において構築可能と判定されたデバッグ回路をFPGA410が使用できる回路データとして作成し、半導体集積回路装置に送信して構築するデバッグ機能構築部335と、FPGA410が有するFPGA情報を取得して保持するFPGA情報管理部336とを有している。

【0093】

このように第2の実施形態に係るデバッガ310によると、プログラム開発者はデバッガ310の起動時にデバッグ工程に応じた最適なデバッグ環境を選択することができるため、プログラムの開発効率が大きく向上する。

【0094】

また、デバッガ310は、所望のデバッグ回路が選択された後、選択されたデバッグ回路が実際にFPGA410に構築できるか否かを判定してプログラム開

発者に通知するため、所望のデバッグ機能をディスプレイ 3 0 1 により視覚的に確認しながら選択することができる。

【 0 0 9 5 】

その上、デバッグ 3 1 0 は、そのデバッグ本体部 3 3 0 に F P G A 情報管理部 3 3 6 を設けているため、第 2 の半導体チップ 2 0 0 に形成されている F P G A 4 1 0 のハードウェア構成が変更されたとしても、デバッグ 3 1 0 を変更することなく、最適なデバッグ環境を構築することができる。

【 0 0 9 6 】

以下、本発明の第 2 の実施形態に係るデバッグ装置の初期化動作について説明する。

【 0 0 9 7 】

図 1 3 は第 2 の実施形態に係るデバッグ装置における初期化フローの一例を示している。ここでは、図 9 ～図 1 3 を参照しながらデバッグ装置の初期化動作を説明する。

【 0 0 9 8 】

まず、デバッグ 3 1 0 を起動すると、第 1 の工程 S T 1 1 において、デバッグ搭載機能管理部 3 3 1 は、第 2 の半導体チップ 2 0 0 における F P G A (ハードウェア) 情報を、例えば第 2 の半導体チップ 2 0 0 から該第 2 の半導体チップが有する I D 情報として取得し、F P G A 情報管理部 3 3 6 に保存する。ここで、F P G A 情報は、デバッグ装置自体が判定しても良い。

【 0 0 9 9 】

次に、第 2 の工程 S T 1 2 において、デバッグ表示部 3 2 0 は、あらかじめ登録されているデバッグ回路の一覧をディスプレイ 3 0 1 に表示して、プログラム開発者にデバッグ回路の選択を促す。プログラム開発者は、F P G A 4 1 0 に組み込みたいデバッグ回路を選択する。選択されたデバッグ回路はデバッグ機能入力部 3 2 1 に入力される。

【 0 1 0 0 】

次に、第 3 の工程 S T 1 3 において、選択されたデバッグ回路が F P G A 4 1 0 に構築できるか否かを、既を取得した F P G A 情報に基づいて、デバッグ機能

構築判定部 3 3 4 で判定し、その判定結果をデバッガ表示部 3 2 0 を経由して表示し、プログラム開発者に通知する。このとき、選択されたデバッグ回路が F P G A 4 1 0 に構築できないと判定された場合には、プログラム開発者に他のデバッグ回路の選択を促す。

【 0 1 0 1 】

次に、選択されたデバッグ回路が F P G A 4 1 0 に構築できると判定された場合には、第 4 の工程 S T 1 4 において、デバッグ機能構築部 3 3 5 が、F P G A 4 1 0 に選択されたデバッグ回路を構築するために必要な回路データを合成して作成する。

【 0 1 0 2 】

次に、第 5 の工程 S T 1 5 において、作成した回路データをデバッガ命令通知信号線 1 6 3 を通して、半導体集積回路装置のデバッグ基本回路部 1 6 0 に送信する。デバッグ基本回路部 1 6 0 が受信した回路データは、F P G A 回路構築部 1 7 7 に送られ、F P G A 回路設定信号線 1 6 8 を通して F P G A 4 1 0 に送信され、F P G A 4 1 0 には選択されたデバッグ回路が構築される。

【 0 1 0 3 】

次に、第 6 の工程 S T 1 6 において、構築したデバッグ回路及びデバッガ 3 1 0 の初期化をそれぞれ行なう。初期化が完了すると、プログラム開発者はデバッガ 3 1 0 を操作して、C P U 1 1 0 上で実行されるプログラムのデバッグを開始することができる。

【 0 1 0 4 】

図 1 4 は第 4 の工程 S T 1 4 において合成される回路データに基づいて構築される回路の一例を示している。図 1 4 において、図 4 に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【 0 1 0 5 】

図 1 4 に示すように、第 2 の実施形態に係る F P G A 4 1 0 のデバッグ機能回路 2 2 0 は、例えば図 1 1 (a) ~ 図 1 1 (e) のデバッグ回路の一覧から各デバッグ回路のうち、いずれもが最小の回路規模を持つウォッチポイント回路 c、トレース回路 c、タイマ回路 c、トリガ回路 c、及びキャッシュ情報回路 c が選

択されることにより構築されている。

【0106】

なお、FPGA410には、第1の半導体チップ100におけるデバッグ基本回路部160のFPGA回路構築部177からの回路データを受ける回路構築部238が設けられている。

【0107】

このように、第2の実施形態によると、デバッグ対象である半導体集積回路装置を構成する第1の半導体チップ100と、その上に保持され、組み込みデバッグ回路の実質的なデバッグ機能を含むFPGA410からなる第2の半導体チップ200とから構成しておき、このFPGA410に、デバッガ310から回路データをダウンロードすることにより、FPGA410にデバッグ機能回路220を形成することができる。このため、第1の実施形態と同等のデバッグ環境を構築できる上に、プログラムの開発工程に合わせて最適なデバッグ環境を選択して実現することができる。

【0108】

なお、第1の実施形態に係るデバッグ拡張回路部210上に形成されているデバッグ搭載回路識別部235は、第2の実施形態においては、デバッガ310でFPGA410の回路データを合成する際に、構築可能なデバッグ回路を認識できるため省略することができる。

【0109】

また、第2の実施形態においては、プログラム開発者が選択したデバッグ回路を、選択された後に合成して作成する構成を採っているが、これに代えて、あらかじめ合成した回路データをデバッガ310に用意しておき、プログラム開発者が選択したデバッグ回路と一致する場合には、一致した回路データをFPGA410にダウンロードするようにしてもよい。このようにすると、回路データを作成する必要がなくなるため、デバッガ310の初期化動作が短縮されるので、デバッガ310の起動が早くなる。

【0110】

以下、デバッグの途中であっても、FPGA回路に構築したデバッグ回路をそ

のデバッグ機能を代えて再構築する方法を説明する。

【 0 1 1 1 】

すなわち、第 2 の実施形態に係るデバッガ装置、及び半導体集積回路装置におけるデバッグ機能回路 2 2 0 は F P G A 4 1 0 にデバッグ機能回路 2 2 0 が構築された後であっても、該デバッグ機能回路 2 2 0 のデバッグ機能を変更することができる。

【 0 1 1 2 】

図 1 5 はデバッガ 3 1 0 によるプログラムの動作検証中にデバッグ回路を変更する場合の動作フローの一例を示している。

【 0 1 1 3 】

図 9 ～図 1 2 及び図 1 5 を用いて、F P G A 4 1 0 のデバッグ機能回路 2 2 0 の回路構成を変更する場合の処理を説明する。

【 0 1 1 4 】

まず、図 1 5 に示すように、第 1 の工程 2 1 において、プログラム開発者は、デバッガ 3 1 0 に対して、F P G A 4 1 0 に構築されているデバッグ機能回路 2 2 0 のデバッグ機能変更要求を入力する。続いて、デバッグ機能変更要求を入力されたデバッガ 3 1 0 は、F P G A 4 1 0 における設定情報設定部 2 3 2 に設定されている各デバッグ回路 2 2 1 ～ 2 2 5 の設定情報を、デバッガ本体部 3 3 0 のデバッグ設定情報管理部 3 3 3 にアップロードして保存する。

【 0 1 1 5 】

次に、第 2 の工程 2 2 において、設定情報の保存が完了すると、デバッグ設定情報管理部 3 3 3 は、F P G A 4 1 0 上に設定されているデバッグ回路 2 2 1 ～ 2 2 5 の設定情報を解除（消去）する。

【 0 1 1 6 】

次に、第 3 の工程 2 3 において、デバッガ表示部 3 2 0 は、登録されているデバッグ回路の一覧をディスプレイ 3 0 1 に表示して、プログラム開発者にデバッグ回路の選択を促す。プログラム開発者は、F P G A 4 1 0 に新たに組み込みたいデバッグ回路を選択する。選択されたデバッグ回路はデバッグ機能入力部 3 2 1 に入力される。

【 0 1 1 7 】

次に、第 4 の工程 2 4 において、選択されたデバッグ回路が F P G A 4 1 0 に構築できないと判定された場合には、プログラム開発者に他のデバッグ回路の選択を促すように警告を発する。

【 0 1 1 8 】

次に、選択されたデバッグ回路が F P G A 4 1 0 に構築できると判定された場合には、第 5 の工程 S T 2 5 において、デバッグ機能構築部 3 3 5 が、F P G A 4 1 0 に選択されたデバッグ回路を構築するために必要な回路データを合成して作成する。

【 0 1 1 9 】

次に、第 6 の工程 S T 2 6 において、作成した回路データをデバッガ命令通知信号線 1 6 3 を通して、半導体集積回路装置のデバッグ基本回路部 1 6 0 に送信する。デバッグ基本回路部 1 6 0 が受信した回路データは、F P G A 回路構築部 1 7 7 に送られ、F P G A 回路設定信号線 1 6 8 を通して F P G A 4 1 0 の回路構築部 2 3 8 に送信され、F P G A 4 1 0 には選択されたデバッグ回路が構築される。

【 0 1 2 0 】

次に、第 7 の工程 S T 2 7 において、構築したデバッグ回路及びデバッガ 3 1 0 の初期化をそれぞれ行なう。

【 0 1 2 1 】

次に、第 8 の工程 S T 2 8 において、初期化が完了した後に、デバッガ本体部 3 3 0 のデバッグ設定情報管理部 3 3 3 に保存していたデバッグ回路の設定情報のうち、再設定が有効な設定情報をダウンロードして、F P G A 4 1 0 のデバッグ回路に再設定する。

【 0 1 2 2 】

次に、第 9 の工程 S T 2 9 において、プログラム開発者は、C P U 1 1 0 で実行されるプログラムのデバッグを、選択し直されたデバッグ機能回路 2 2 0 を用いて再開することができる。

【 0 1 2 3 】

以上説明したように、デバッグ途中であっても、デバッグ状態に応じて最適なデバッグ回路を更新することができるため、効率良くデバッグを行なうことができる。

【 0 1 2 4 】

なお、第 2 の実施形態においては、デバッグ回路の更新前のデバッグ設定情報を更新後のデバッグ回路に再設定する構成としているが、必ずしも再設定を行なう必要はない。

【 0 1 2 5 】

(第 3 の実施形態)

以下、本発明の第 3 の実施形態について図面を参照しながら説明する。

【 0 1 2 6 】

図 1 6 (a) は本発明の第 3 の実施形態に係る半導体集積回路装置における各 CPU 及び各デバッグ基本回路部、第 2 の半導体チップ並びに第 3 の半導体チップを含む部分の平面構成を示し、図 1 6 (b) はその断面構成を示している。図 1 6 (a) 及び (b) において、図 9 (a) 及び (b) に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【 0 1 2 7 】

第 2 の実施形態との相違点は、半導体集積回路装置を構成する第 1 の半導体チップ 1 0 0 に、第 1 の CPU 1 1 0 A と第 2 の CPU 1 1 0 B とが形成されており、さらに、第 1 の FPGA 4 1 0 A からなる第 2 の半導体チップ 2 0 0 A と、第 2 の FPGA 4 1 0 B からなる第 3 の半導体チップ 2 0 0 B とが、第 1 の CPU 1 1 0 A と第 2 の CPU 1 1 0 B との上にそれぞれ貼り合わされている点である。

【 0 1 2 8 】

第 1 の CPU 1 1 0 A は、第 1 の半導体チップ 1 0 0 に形成された第 1 のデバッグ基本回路部 1 6 0 A 及び第 1 の FPGA 4 1 0 A に対して第 2 の実施形態と同様の信号線により接続されている。また、第 2 の CPU 1 1 0 B は、第 1 の半導体チップ 1 0 0 に形成された第 2 のデバッグ基本回路部 1 6 0 B 及び第 2 の FPGA 4 1 0 B に対して第 2 の実施形態と同様の信号線により接続されている。

【 0 1 2 9 】

第 3 の実施形態においては、第 1 の半導体チップ 1 0 0 に、例えばセクタからなる通信切替部 4 2 0 が、第 1 のデバッグ基本回路部 1 6 0 A 及び第 2 のデバッグ基本回路部 1 6 0 B とデバッガ命令通知信号線 1 6 3 との間に設けられている。ここで、第 1 のデバッグ基本回路部 1 6 0 A と通信切替部 4 2 0 とは第 1 の命令通知信号線 4 2 1 により接続され、第 2 のデバッグ基本回路部 1 6 0 B と通信切替部 4 2 0 とは第 2 の命令通知信号線 4 2 2 により接続されている。

【 0 1 3 0 】

また、第 1 の半導体チップ 1 0 0 には、デバッグ優先度決定部 4 3 0 が設けられており、通信切替部 4 2 0 はデバッグ優先度決定部 4 3 0 に保持された識別情報に基づいて、第 1 のデバッグ基本回路部 1 6 0 A 及び第 2 のデバッグ基本回路部 1 6 0 B のうちの登録されている CPU をデバッガ命令通知信号線 1 6 3 と接続する。

【 0 1 3 1 】

以下、本発明の第 3 の実施形態に係る半導体集積回路装置におけるプログラムの動作を検証するデバッガ装置について説明する。

【 0 1 3 2 】

図 1 7 は本発明の第 3 の実施形態に係るデバッガ装置のブロック構成を示している。図 1 7 において、図 1 2 に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【 0 1 3 3 】

図 1 7 に示すように、第 3 の実施形態に係るデバッガ装置は、デバッグ設定情報管理部 3 3 3 に、第 1 の設定情報管理部 3 3 3 a と第 2 の設定情報管理部 3 3 3 b とを設けており、第 1 の CPU 1 1 0 A 及び第 2 の CPU 1 1 0 B のそれぞれに対応してデバッグ設定情報を保持することができる。

【 0 1 3 4 】

さらに、デバッグ機能構築部 3 3 5 にも、第 1 のデバッグ機能情報管理部 3 3 5 a 及び第 2 のデバッグ機能情報管理部 3 3 5 b が 2 つの CPU と対応して設けられており、FPGA 情報管理部 3 3 6 にも、第 1 の FPGA 管理部 3 3 6 a 及

び第2のFPGA管理部336bが2つのCPUと対応して設けられている。

【0135】

第3の実施形態においては、ホストコンピュータ300上でデバッガ310が起動されると、第1の半導体チップ100に設けられたデバッグ優先度決定部430において決定されるデバッグ対象のCPUと接続される。

【0136】

ここでは一例として、第1のCPU110Aを表わす識別子がデバッグ優先度決定部430に登録されているとする。

【0137】

第2の実施形態で説明したように、デバッガ310を起動した後、プログラム開発者がデバッグ機能を選択し、初期化されてデバッグ操作を行なうことができるようになる。このとき、選択されたデバッグ回路は、デバッグ機能構築部335における第1のデバッグ機能情報管理部335aに保持される。また、第1のFPGA410Aのハードウェア情報は、FPGA情報管理部336における第1のFPGA情報管理部336aに取得されて保持される。

【0138】

ここで、第1のCPU110Aに代えて第2のCPU110Bをデバッグする場合には、デバッグ優先度決定部430に登録されているデータを第2のCPU110Bを表わす識別子に変更することにより、第2のCPU110Bで実行されるプログラムのデバッグを行なうことができるようになる。このとき、第1のCPU110Aにおいて実行中のプログラムをデバッグするために設定されたデバッグ設定情報は、第1の設定情報管理部333aにアップロードして保存される。なお、このときのデバッグ設定情報はその一部又は全部を解除してもよい。

【0139】

第2のCPU110Bが実行するプログラムをデバッグするために選択されたデバッグ回路は、第2のデバッグ機能情報管理部335bに保持される。また、第2のFPGA情報管理部336bには、第2のFPGA410Bのハードウェア情報がアップロードされて保持される。

【0140】

再度、第2のCPU110Bに代えて第1のCPU110Aをデバッグ対象とするような場合には、第1のデバッグ機能情報管理部335aと第1のFPGA情報管理部336aの情報に従って、デバッガ310を再構築する。また、第1の設定情報管理部333aに保持されていたデバッグ設定情報がダウンロードされて復元され、プログラム開発者は、第1のCPU110A上で実行されるプログラムのデバッグを行なえるようになる。

【0141】

このように、第3の実施形態によると、第1の半導体チップ100に2つのCPU110A、110Bが設けられている場合であっても、各CPUに最適なデバッグ環境を構築することができる。

【0142】

また、第1のCPU110Aをデバッグする際の通信線と第2のCPU110Bをデバッグする際の通信線とを1本のデバッガ命令通知信号線163で兼用することにより、半導体集積回路装置、例えばシステムLSIの端子数を減らすことができるため、該システムLSIの製造コストを削減することができる。

【0143】

さらに、起動しているデバッガ310は、複数のCPUのうちの1つをデバッグする構成であるため、デバッグ対象のCPUを変更しても、デバッグ操作が変わることがない。

【0144】

なお、第3の実施形態においては、第1の半導体チップ100に2つのCPUが搭載された例を説明したが、これに限られず、3つ以上のCPUが搭載された半導体集積回路装置であっても、デバッガ310に各CPUごとのデータを保持できる領域を確保すれば、第3の実施形態と同様に、各CPU上のプログラムをデバッグすることができる。

【0145】

また、第3の実施形態においては、第1のデバッグ機能情報管理部335aと第2のデバッグ機能情報管理部335bとは、デバッグ機能構築部335の一機能としているが、これらデバッグ機能情報管理部335a、335bは、デバッ

グ本体部 3 3 0 の一機能とする構成としてもよい。

【0 1 4 6】

また、第 3 の実施形態においては、デバッグ設定情報管理部 3 3 3 における第 1 の設定情報管理部 3 3 3 a 及び第 2 の設定情報管理部 3 3 3 b にアップロードにより取得したデバッグ設定情報を、デバッグ機能回路 2 2 0 に再設定する構成としているが、設定されていたデバッグ設定情報は必ずしも再設定する必要はない。

【0 1 4 7】

また、第 3 の実施形態においては、第 2 の半導体チップ 2 0 0 A 及び第 3 の半導体チップ 2 0 0 B に組み込むデバッグ機能回路 2 2 0 を書き換え可能なハードウェア回路である F P G A に構築したが、第 1 の実施形態と同様に、それぞれ不揮発性のメモリに構築しても良い。

【0 1 4 8】

【発明の効果】

本発明に係る半導体集積回路装置によると、第 1 の半導体チップの上に保持された第 2 の半導体チップに形成されたデバッグ回路に複数のデバッグ機能を持たせることができるため、第 2 の半導体チップにデバッグに必要なすべてのデバッグ機能を組み込んだとしても、第 1 の半導体チップの回路規模が大きくなることがない。従って、同一のマイクロコンピュータ又はマイクロプロセッサに組み込まれるデバッグ回路であっても、複数のデバッグ機能をより有効に利用できるようになり、且つプログラムの開発工程と対応したデバッグ環境を構築できるようになる。

【0 1 4 9】

本発明に係るデバッグ装置によると、本発明の半導体集積回路装置に組み込まれたデバッグ機能が従来のように固定されておらず、半導体チップごとに異なる場合であっても、第 2 の半導体チップのデバッグ回路部に組み込まれたデバッグ機能により確実にデバッグ操作を実行することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る半導体集積回路装置を示すブロック図である。

【図 2】

(a) は本発明の第 1 の実施形態に係る半導体集積回路装置の第 1 の半導体チップにおける CPU 及びデバッグ基本回路部と第 2 の半導体チップとを含む部分の模式的な拡大平面図であり、(b) は (a) の模式的な断面図である。

【図 3】

本発明の第 1 の実施形態に係る半導体集積回路装置におけるデバッグ基本回路部の一例を示すブロック回路図である。

【図 4】

本発明の第 1 の実施形態に係る半導体集積回路装置におけるデバッグ拡張回路部の一例を示すブロック回路図である。

【図 5】

(a) ～ (e) は第 1 の実施形態に係る半導体集積回路装置に選択可能な機能ごとのデバッグ回路の一例を示している。

【図 6】

図 5 (a) ～ (e) に基づいて作成した、デバッグ機能回路に組み込み可能なデバッグ回路の組み合わせの一覧である。

【図 7】

本発明の第 1 の実施形態に係るデバッグ装置を示すブロック図である。

【図 8】

本発明の第 1 の実施形態に係るデバッグ装置における初期化動作を示すフローチャート図である。

【図 9】

(a) は本発明の第 2 の実施形態に係る半導体集積回路装置の第 1 の半導体チップにおける CPU 及びデバッグ基本回路部と第 2 の半導体チップとを含む部分の模式的な拡大平面図であり、(b) は (a) の模式的な断面図である。

【図 10】

本発明の第 2 の実施形態に係る半導体集積回路装置におけるデバッグ基本回路部の一例を示すブロック回路図である。

【図 1 1】

(a) ～ (e) は第 2 の実施形態に係る半導体集積回路装置に選択可能な機能ごとのデバッグ回路の一例を示している。

【図 1 2】

本発明の第 2 の実施形態に係るデバッグ装置を示すブロック図である。

【図 1 3】

本発明の第 2 の実施形態に係るデバッグ装置における初期化動作を示すフローチャート図である。

【図 1 4】

本発明の第 2 の実施形態に係る半導体集積回路装置における F P G A 回路の一例を示すブロック回路図である。

【図 1 5】

本発明の第 2 の実施形態に係るデバッグ装置によるプログラムの動作検証中にデバッグ回路を変更する場合のフローチャート図である。

【図 1 6】

(a) は本発明の第 3 の実施形態に係る半導体集積回路装置の第 1 の半導体チップにおける各 C P U 及び各デバッグ基本回路部、第 2 の半導体チップ並びに第 3 の半導体チップを含む部分の模式的な拡大平面図であり、(b) は (a) の模式的な断面図である。

【図 1 7】

本発明の第 3 の実施形態に係るデバッグ装置を示すブロック図である。

【符号の説明】

- 1 0 0 第 1 の半導体チップ
- 1 0 5 バス
- 1 1 0 C P U (C P U コア)
- 1 1 0 A 第 1 の C P U
- 1 1 0 B 第 2 の C P U
- 1 2 0 R O M 部
- 1 3 0 R A M 部

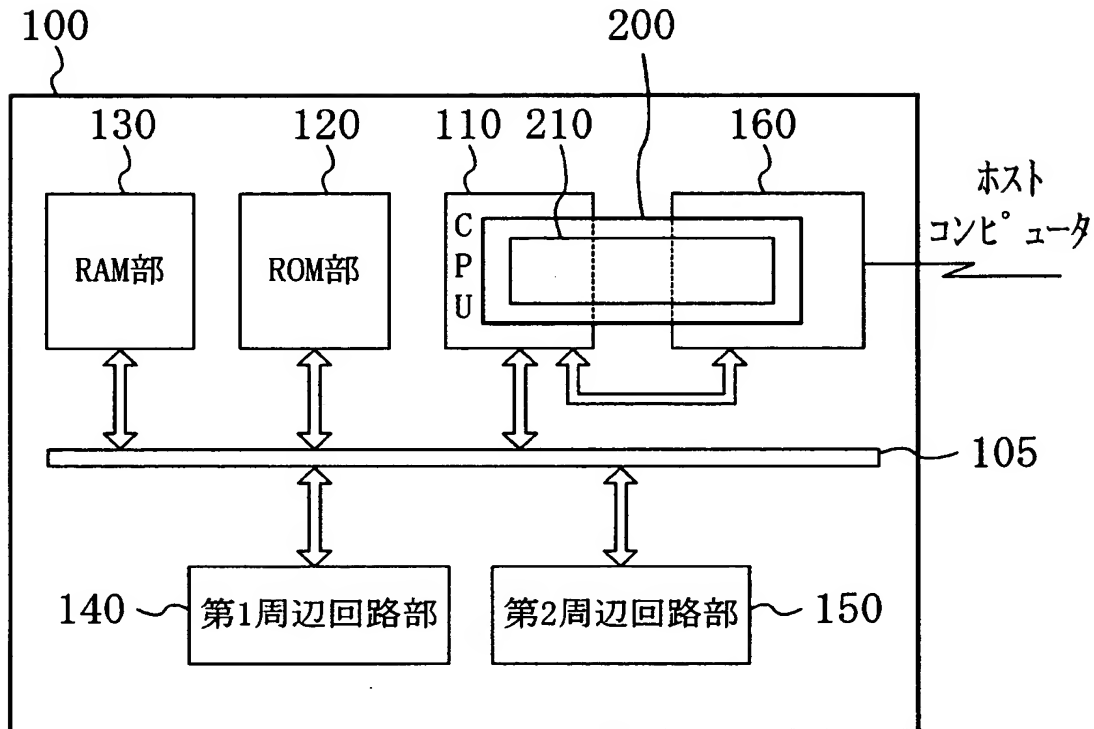
- 1 4 0 第 1 周辺回路部
- 1 5 0 第 2 周辺回路部
- 1 6 0 デバッグ基本回路部 (第 1 のデバッグ回路部)
- 1 6 0 A 第 1 のデバッグ基本回路部
- 1 6 0 B 第 2 のデバッグ基本回路部
- 1 6 1 C P U 命令通知信号線
- 1 6 2 C P U 実行結果受信信号線
- 1 6 3 デバッガ命令通知信号線
- 1 6 4 デバッグ拡張回路部設定情報通知信号線
- 1 6 5 デバッグ拡張回路部結果受信信号線
- 1 6 6 アドレス情報信号線
- 1 6 7 オペランド情報信号線
- 1 6 8 F P G A 回路設定信号線
- 1 7 1 通信部
- 1 7 2 デバッグ命令解析部 (命令解析部)
- 1 7 3 C P U 実行命令送信部 (第 1 送受信部)
- 1 7 4 C P U 実行結果受信部 (第 1 送受信部)
- 1 7 5 デバッグ拡張回路部設定情報送信部 (第 2 送受信部)
- 1 7 6 デバッグ拡張回路部結果受信部 (第 2 送受信部)
- 1 7 7 F P G A 回路構築部
- 2 0 0 第 2 の半導体チップ
- 2 0 0 A 第 2 の半導体チップ
- 2 2 0 B 第 3 の半導体チップ
- 2 1 0 デバッグ拡張回路部 (第 2 のデバッグ回路部)
- 2 2 0 デバッグ機能回路部
- 2 2 1 ウォッチポイント回路
- 2 2 2 トレース回路
- 2 2 3 タイマ回路
- 2 2 4 トリガ回路

- 2 2 5 キャッシュ情報回路
- 2 2 1 ウオッチポイント回路 c
- 2 2 2 トレース回路 c
- 2 2 3 タイマ回路 c
- 2 2 4 トリガ回路 c
- 2 2 5 キャッシュ情報回路 c
- 2 2 6 設定情報通知信号線
- 2 2 7 結果通知信号線
- 2 3 1 設定情報受信部
- 2 3 2 設定情報設定部
- 2 3 3 状態管理部
- 2 3 4 結果送信部
- 2 3 5 デバッグ搭載回路識別部
- 2 3 6 アドレス情報受信部
- 2 3 7 オペランド情報受信部
- 2 3 8 回路構築部
- 3 0 0 ホストコンピュータ
- 3 0 1 ディスプレイ
- 3 0 2 キーボード
- 3 1 0 デバッガ
- 3 2 0 デバッガ表示部
- 3 3 0 デバッガ本体部
- 3 3 1 デバッグ搭載機能管理部
- 3 3 2 デバッガ本体再構築部
- 3 3 3 デバッグ設定情報管理部
- 3 3 3 a 第 1 の設定情報管理部
- 3 3 3 b 第 2 の設定情報管理部
- 3 3 4 デバッグ機能構築判定部
- 3 3 5 デバッグ機能構築部

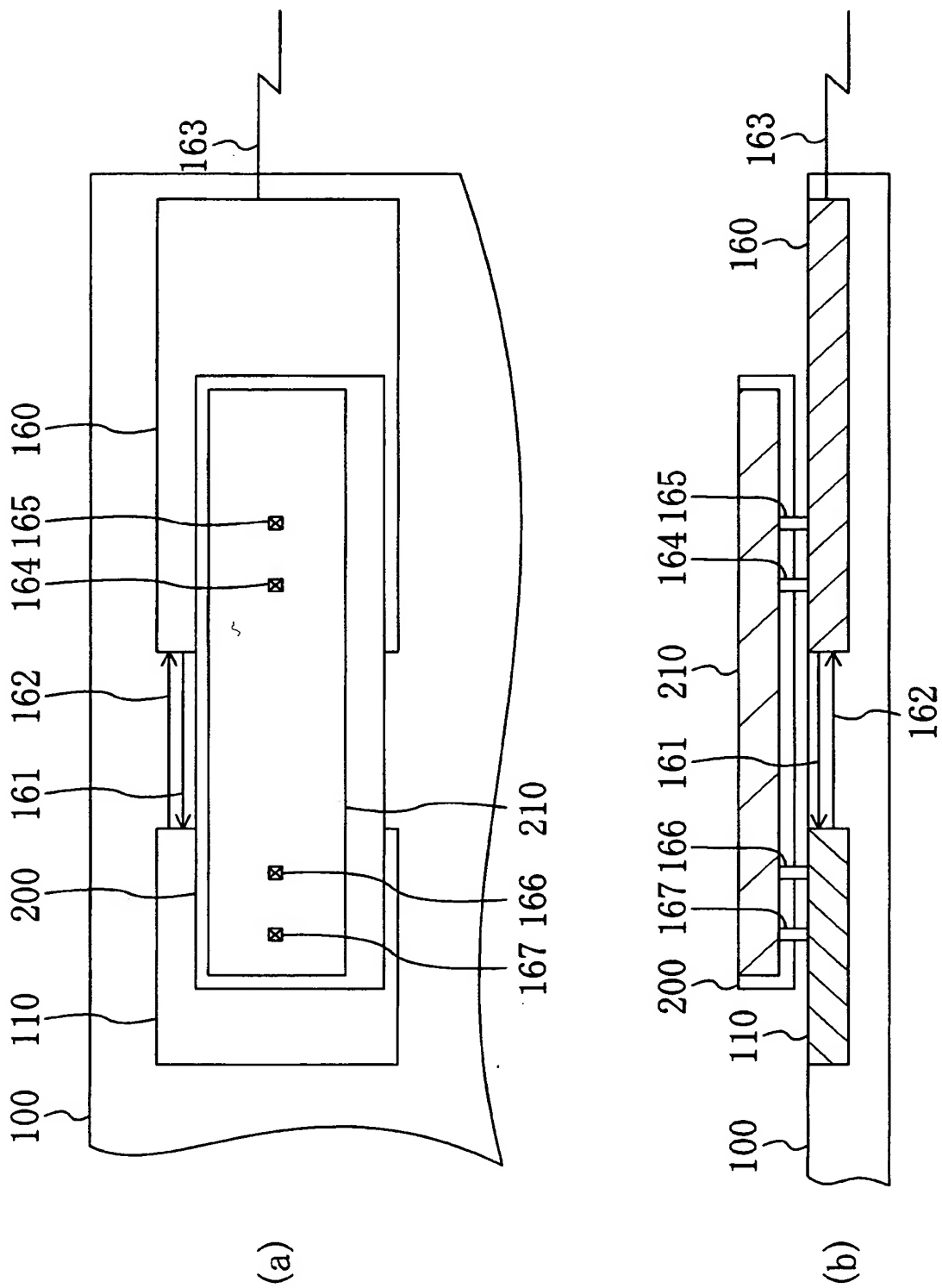
- 3 3 5 a 第 1 のデバッグ機能情報管理部
- 3 3 5 b 第 2 のデバッグ機能情報管理部
- 3 3 6 F P G A 情報管理部 (ハードウェア情報管理部)
- 3 3 6 a 第 1 の F P G A 情報管理部
- 3 3 6 b 第 2 の F P G A 情報管理部
- 3 4 0 デバッグ通信部
- 4 1 0 F P G A (書き換え可能ハードウェア回路)
- 4 1 0 A 第 1 の F P G A
- 4 1 0 B 第 2 の F P G A
- 4 2 0 通信切替部 (命令切替部)
- 4 2 1 第 1 の命令通知信号線
- 4 2 2 第 2 の命令通知信号線
- 4 3 0 デバッグ優先度決定部

【書類名】 図面

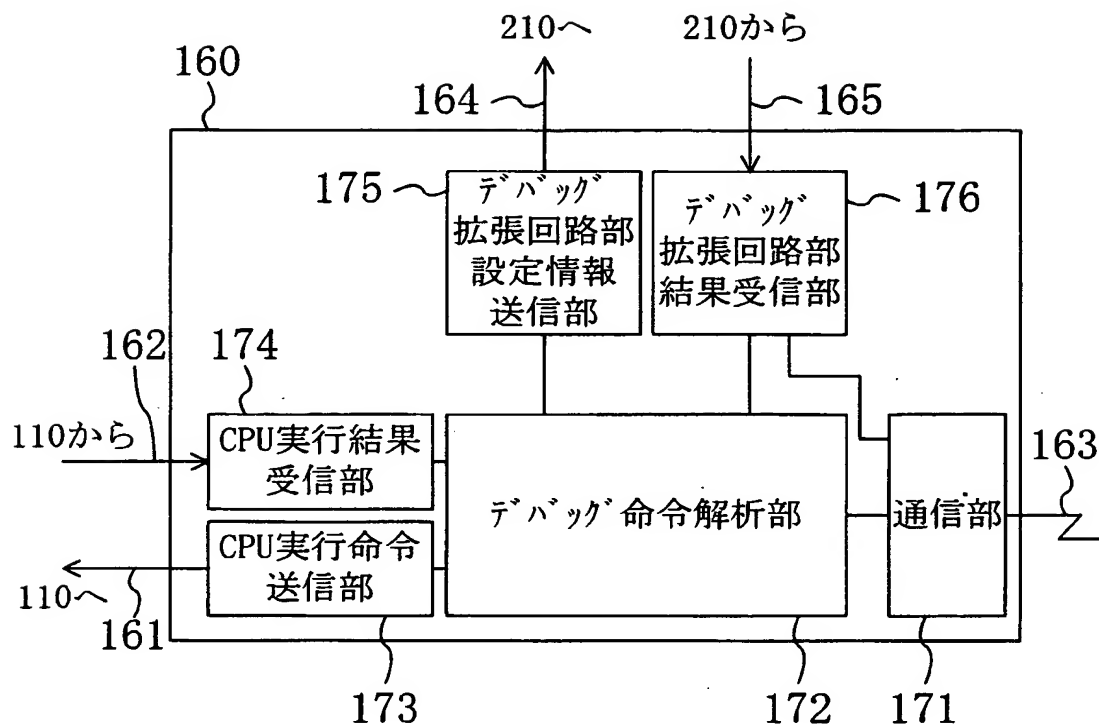
【図 1】



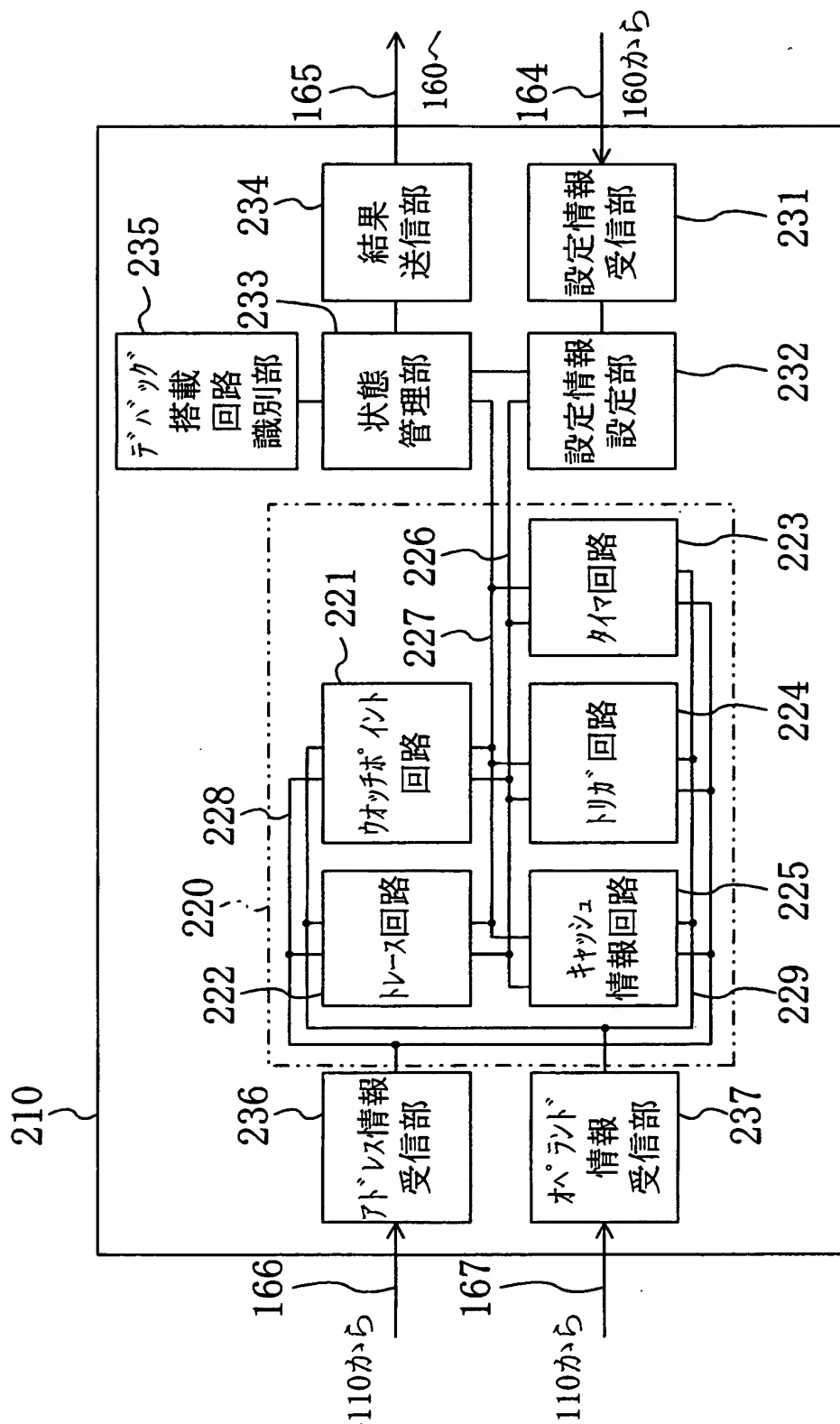
【図 2】



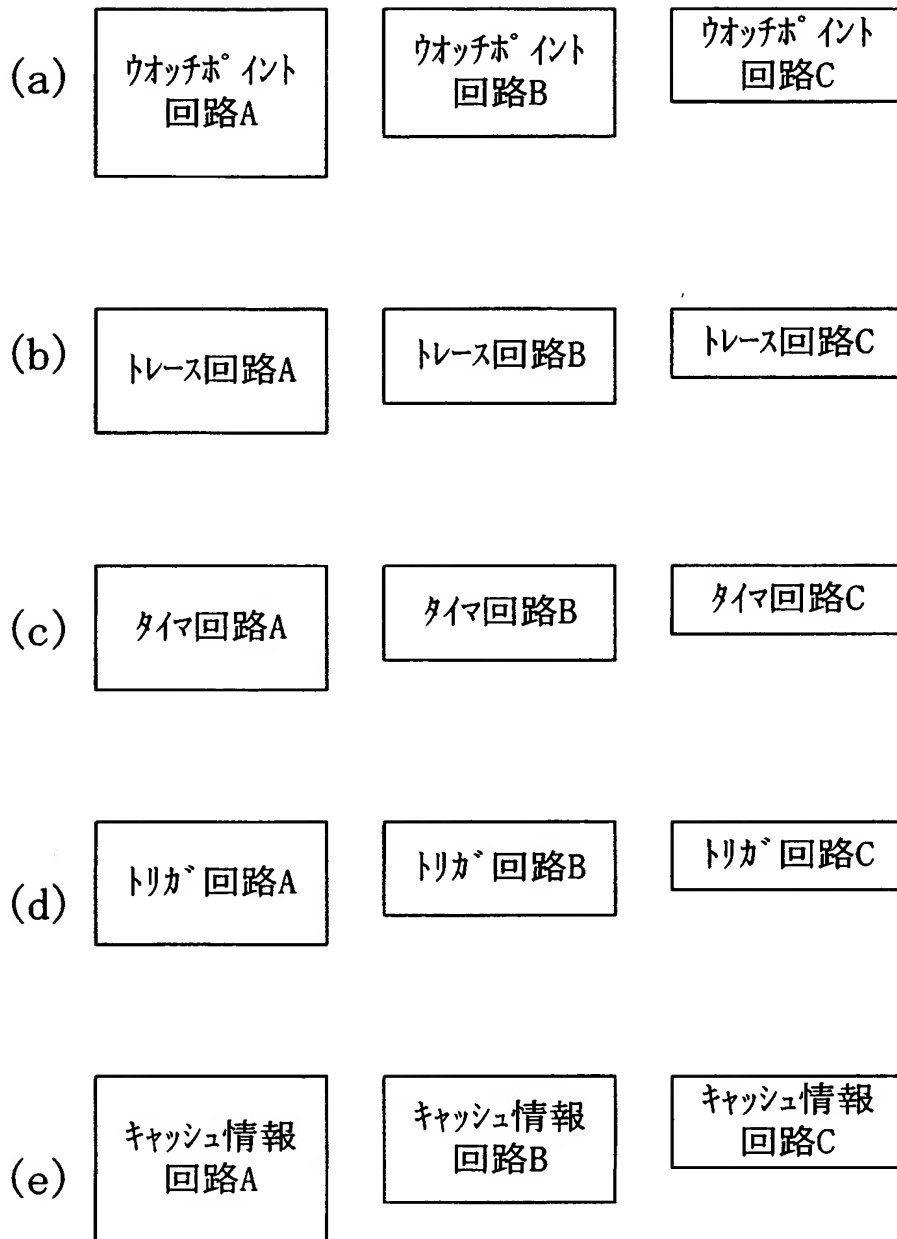
【図 3】



【図4】



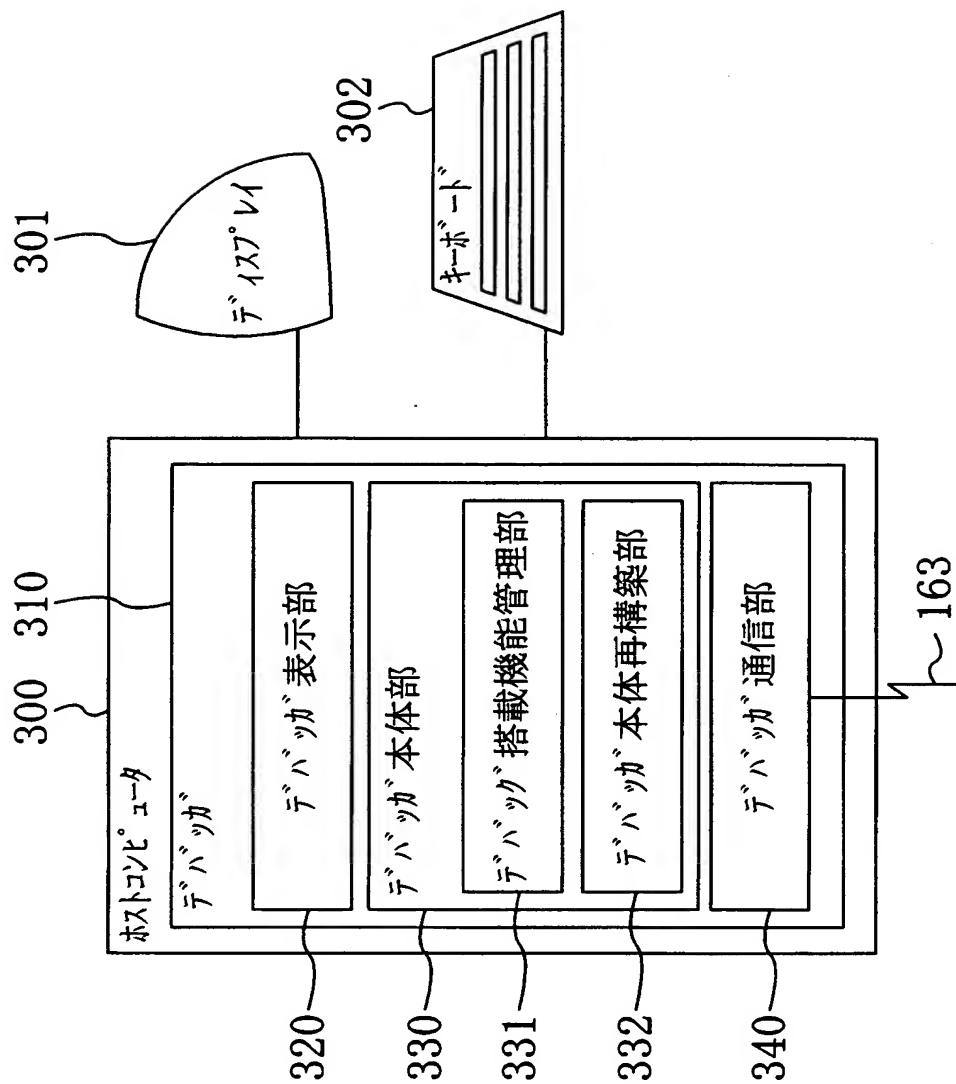
【図 5】



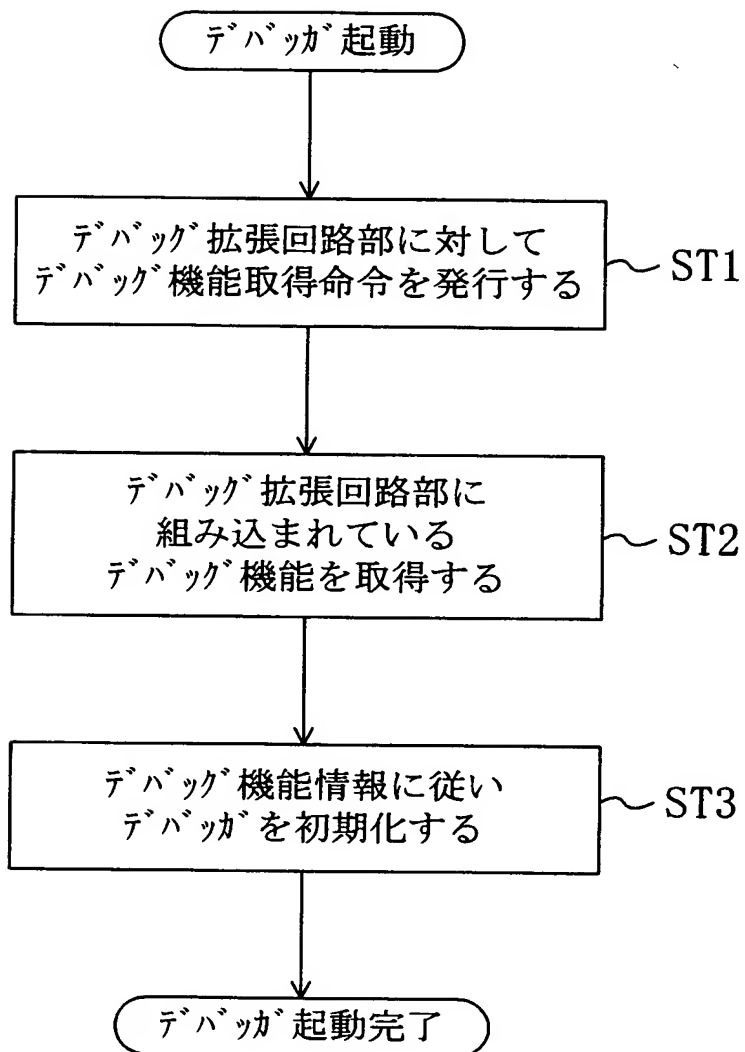
【図 6】

	基本機能	ウォッチ ポイント	トレース	タイマ	トリガ	キャッシュ情報
デバッグ機能1	○					
デバッグ機能2	○	ウォッチ ポイント回路A				
デバッグ機能3	○		トレース回路A			
デバッグ機能4	○			タイマ回路A		
デバッグ機能5	○				トリガ回路A	
デバッグ機能6	○	ウォッチ ポイント回路A	トレース回路B			
デバッグ機能7	○		トレース回路A	タイマ回路B		
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
デバッグ機能n	○	ウォッチ ポイント回路B	トレース回路A	タイマ回路C	トリガ回路B	キャッシュ情報 回路C
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・

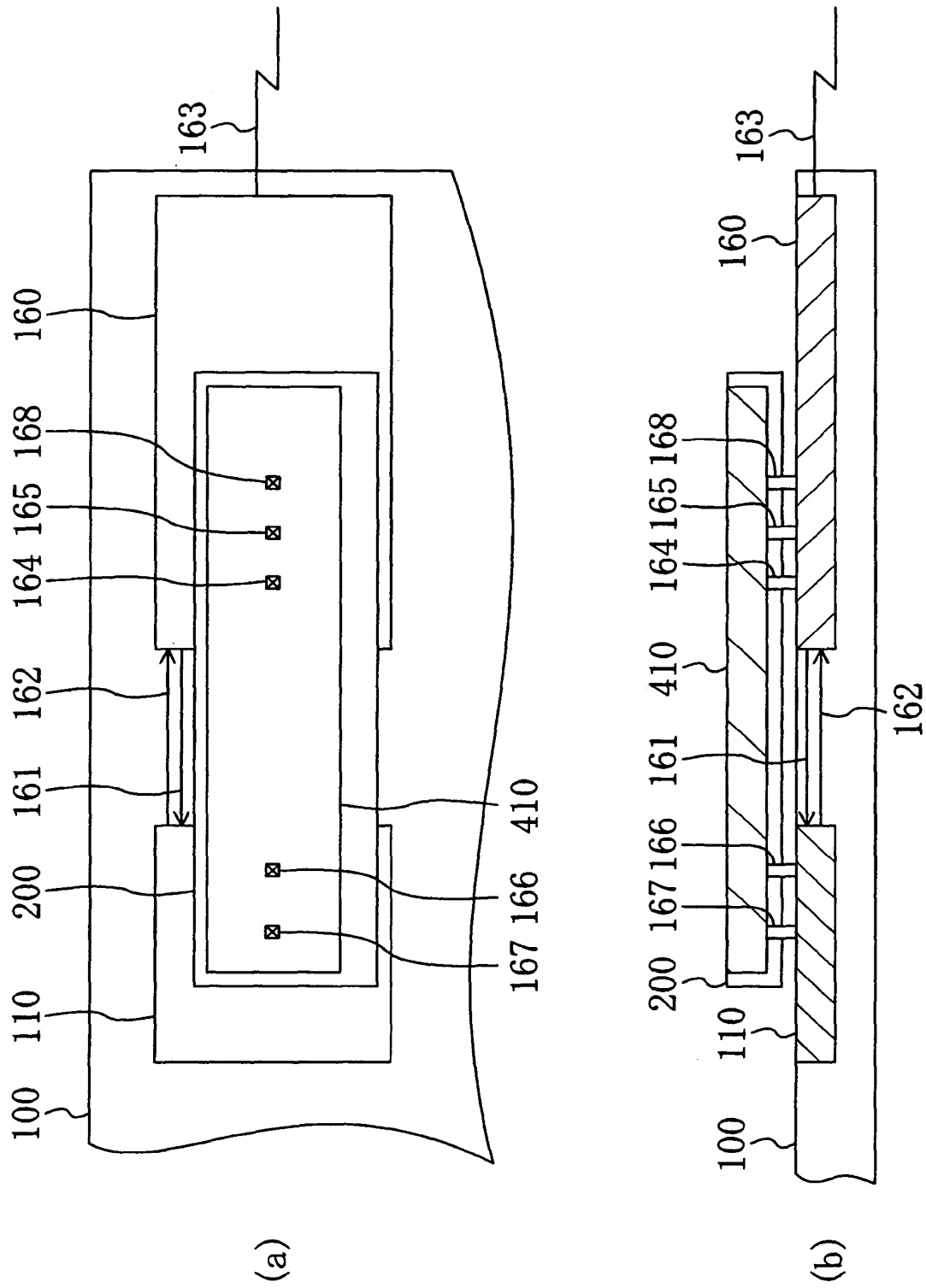
【図7】



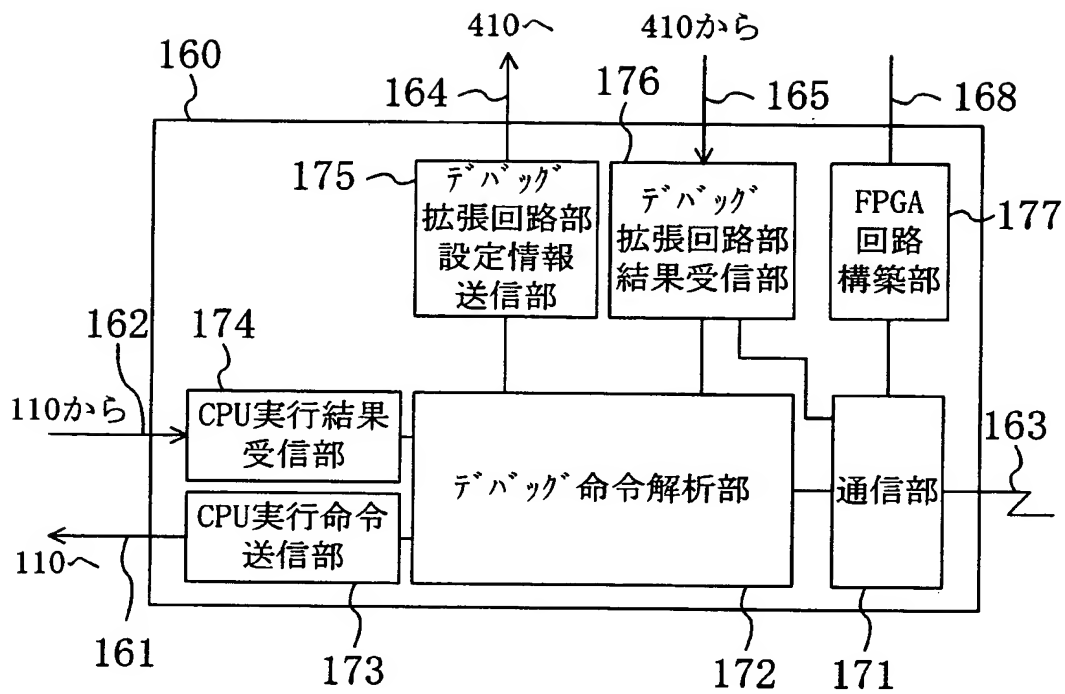
【図 8】



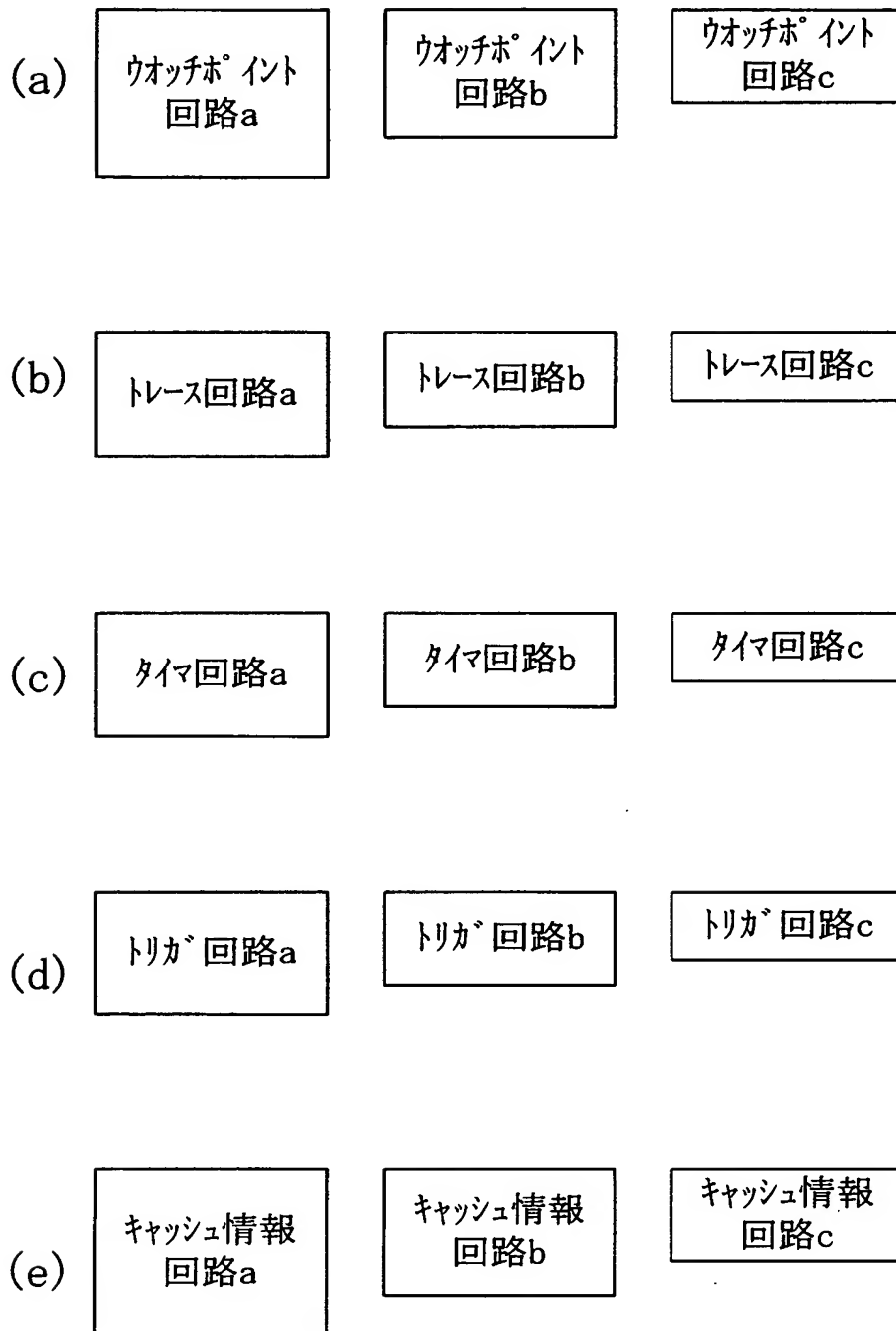
【圖 9】



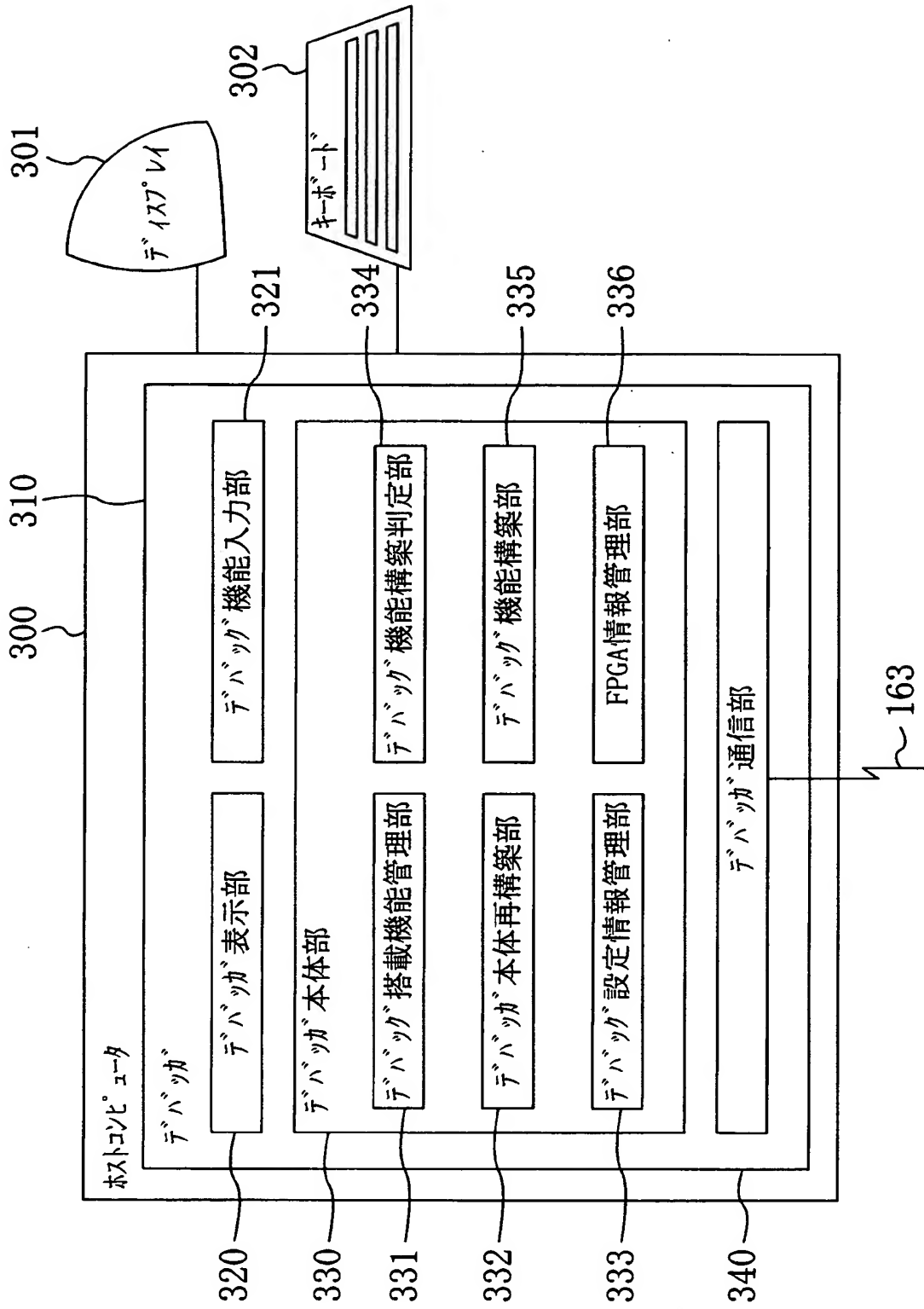
【図 1 0】



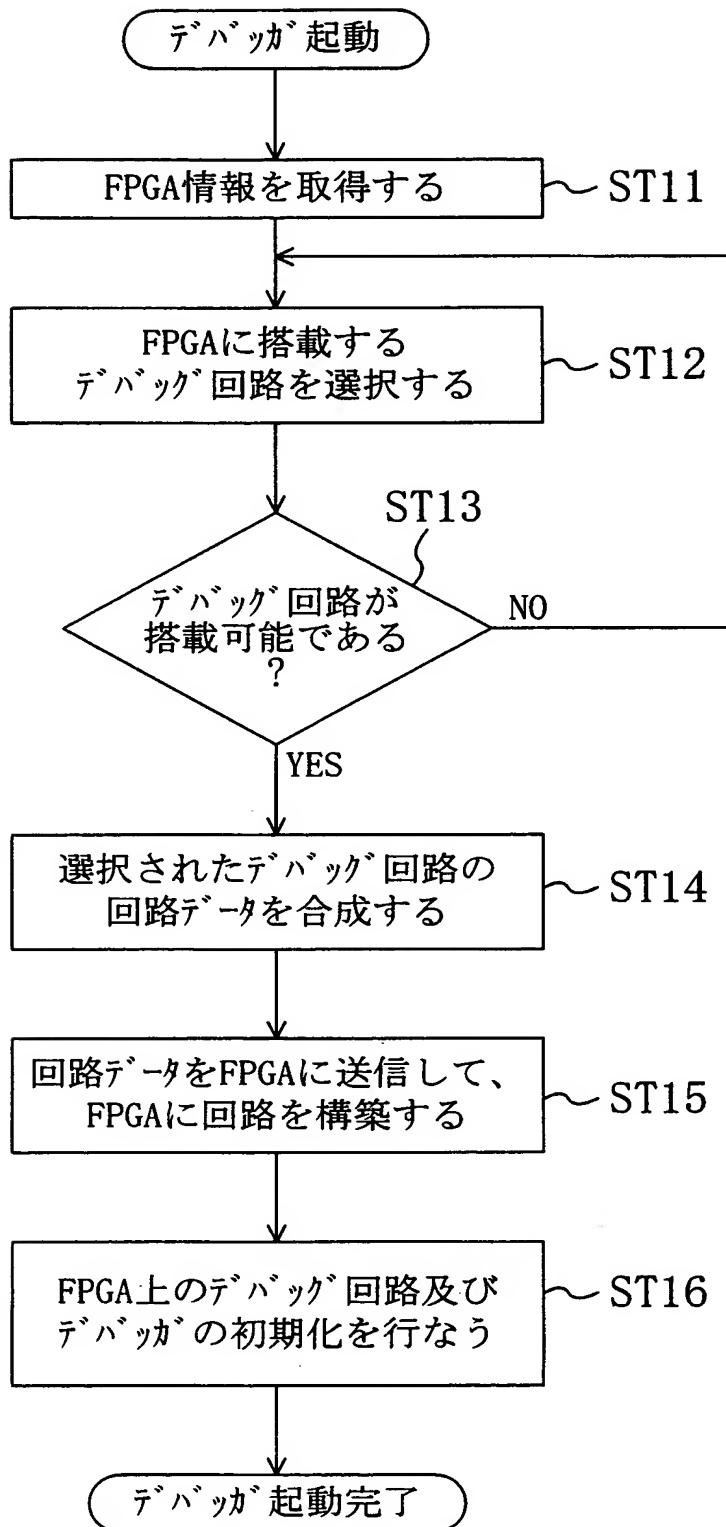
【図 1 1】



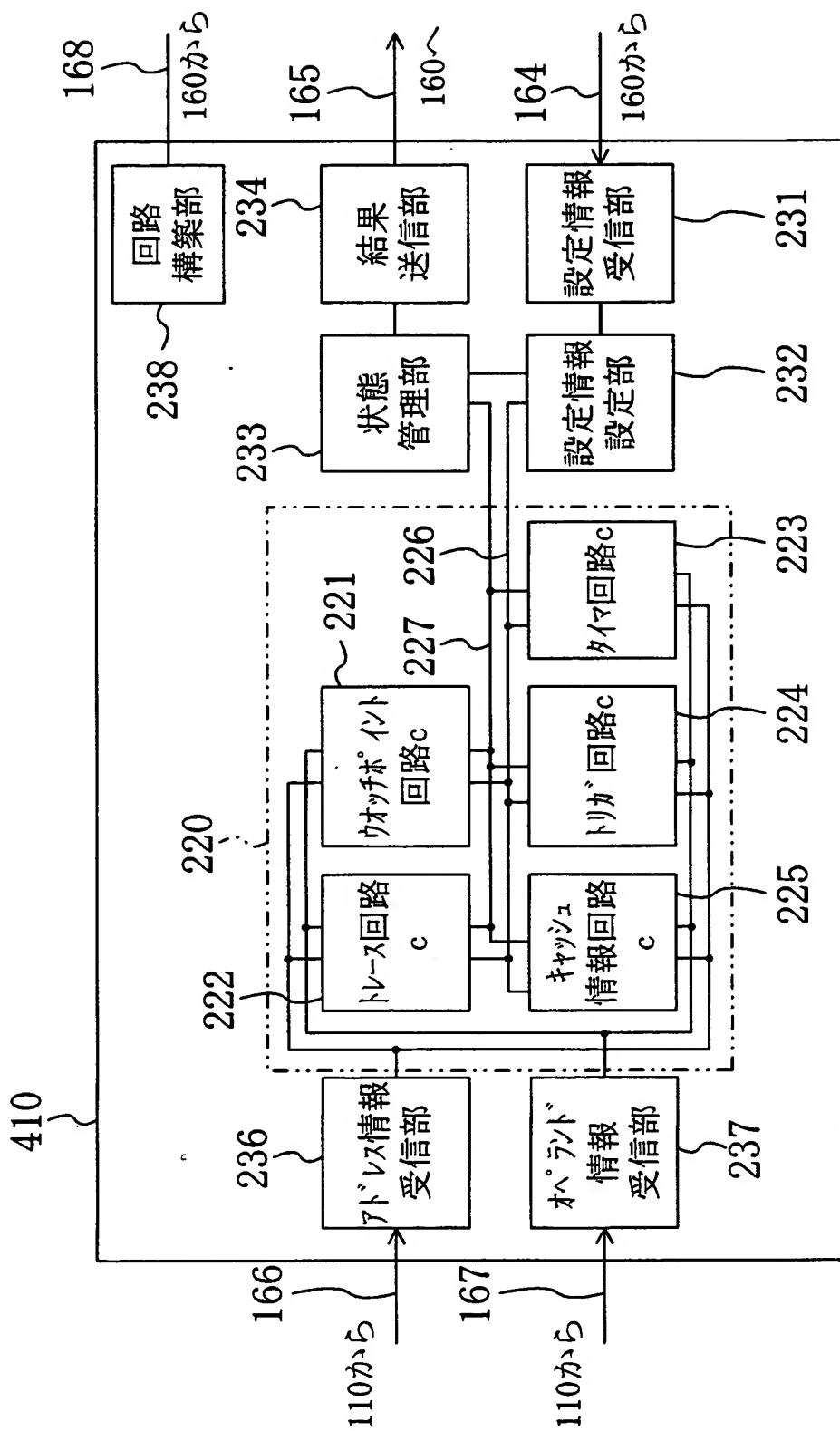
【図 12】



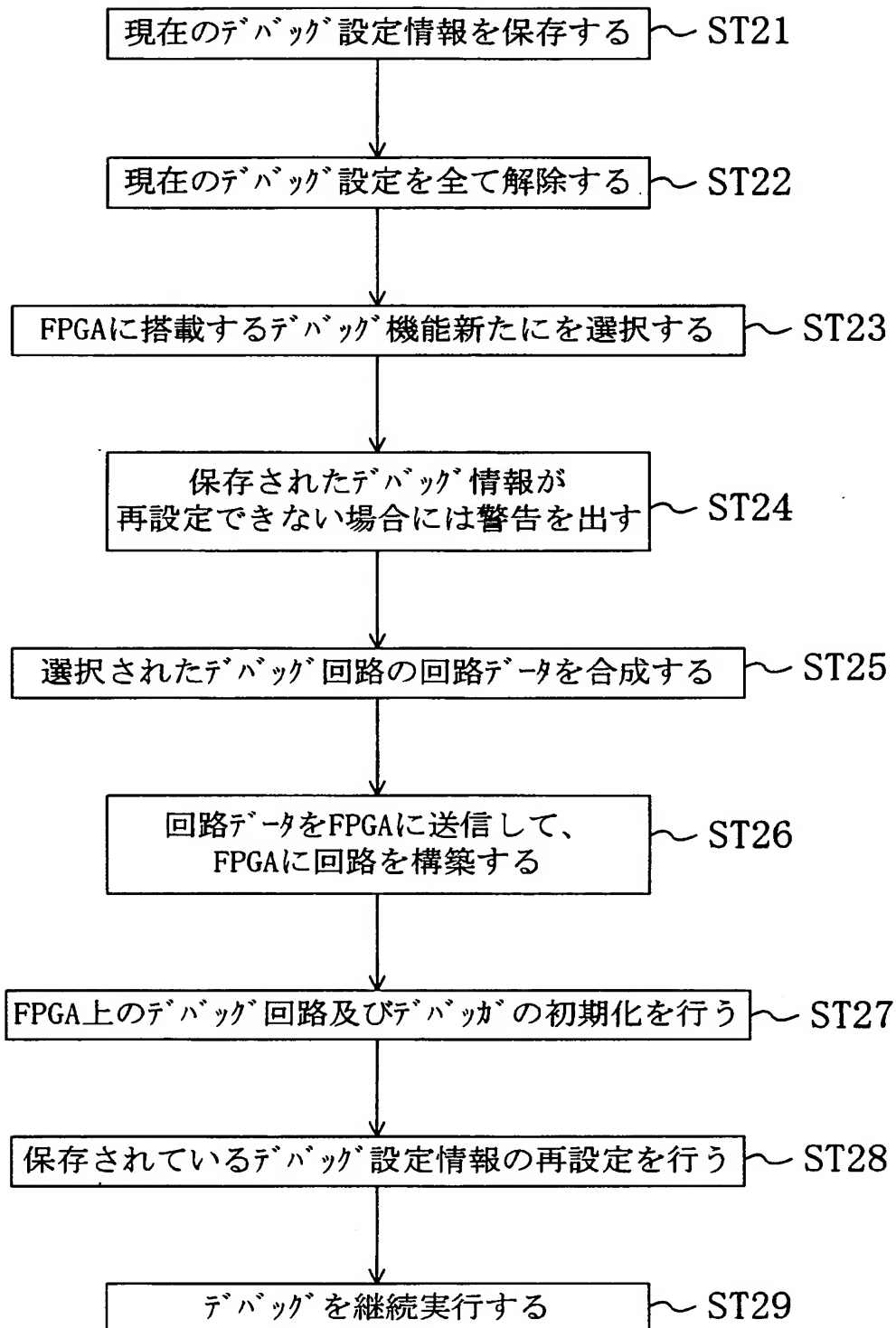
【図 1 3】



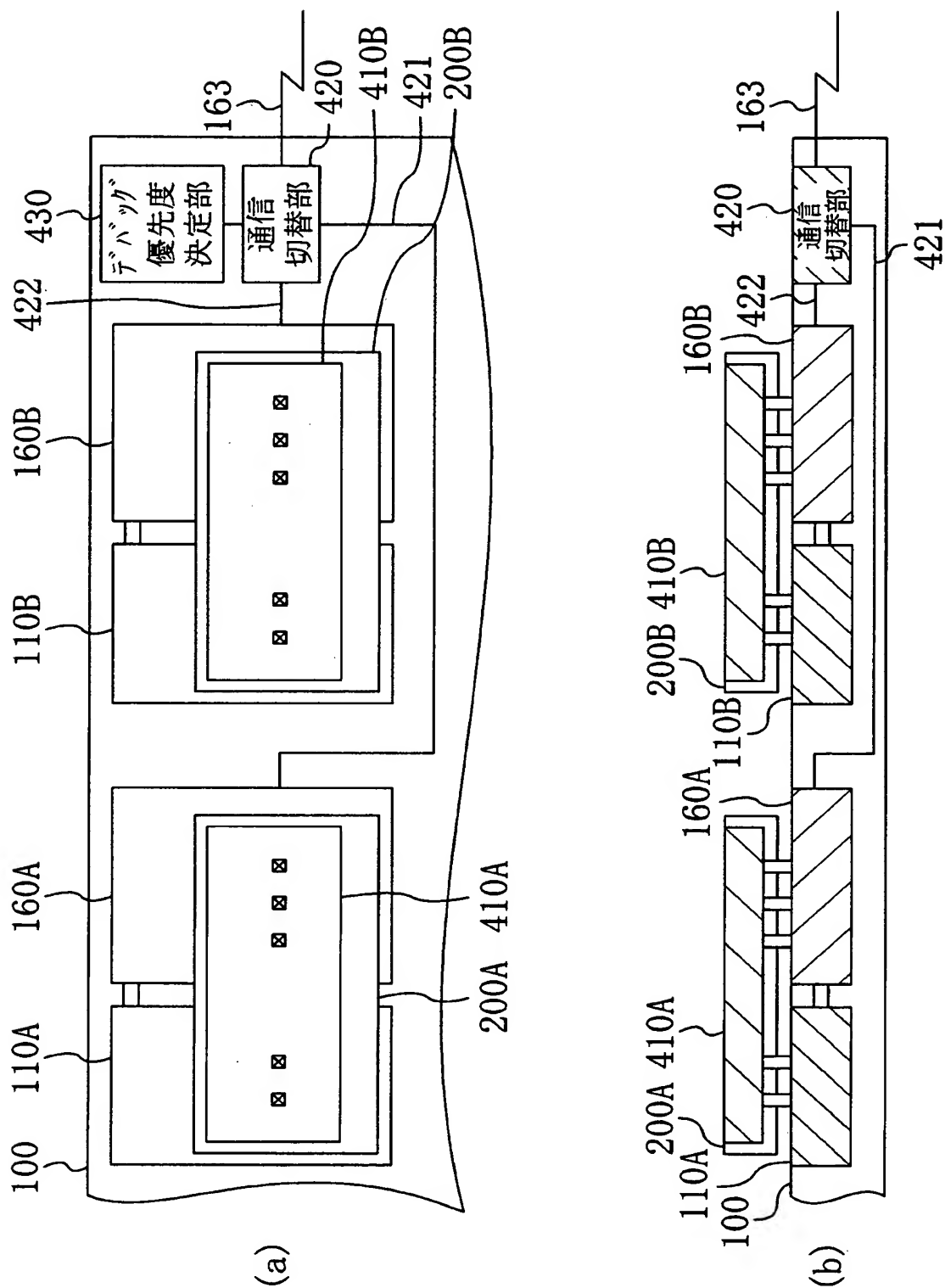
【図14】



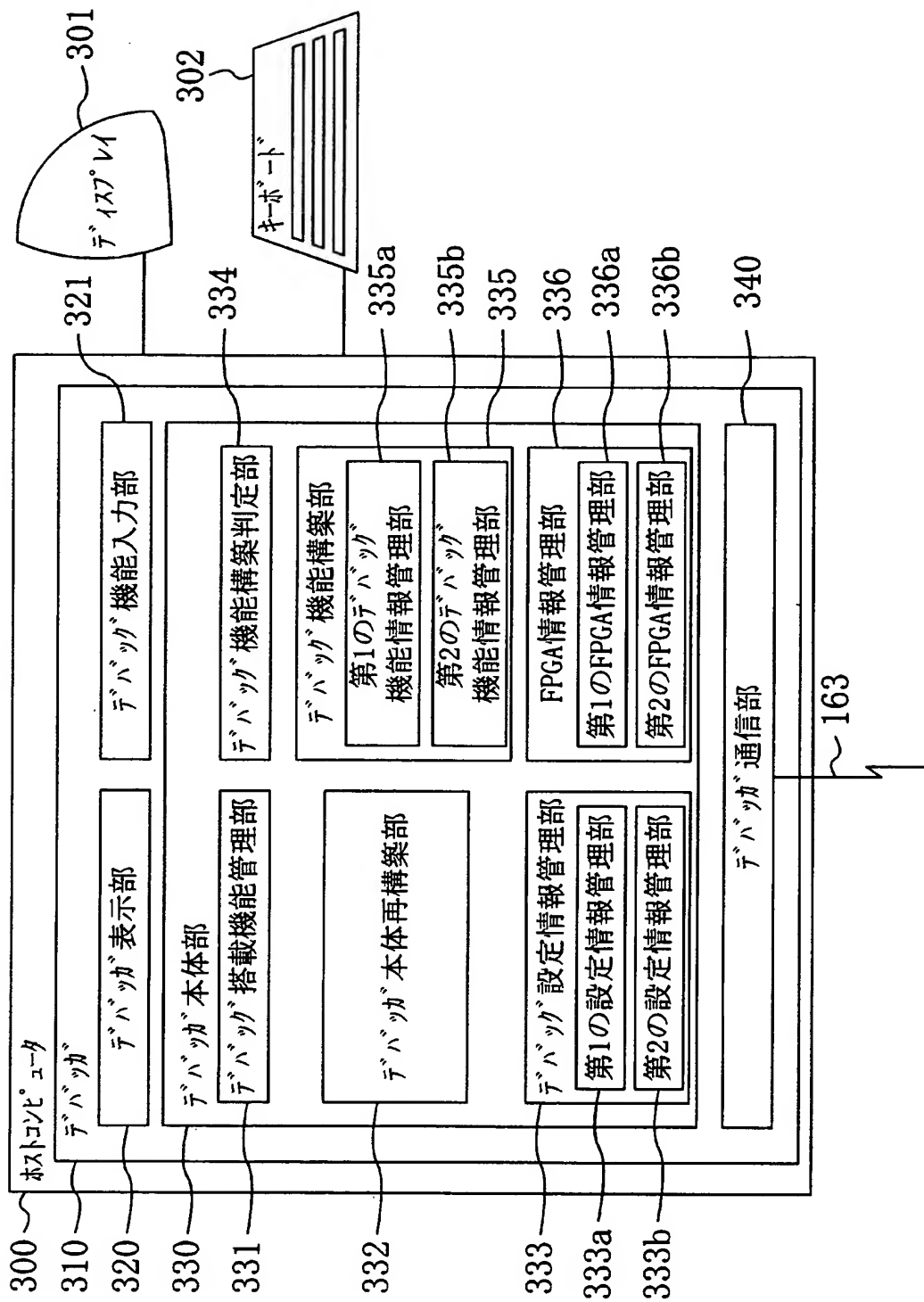
【図 15】



【図 16】



【図17】



【書類名】 要約書

【要約】

【課題】 所定のマイコンチップに組み込まれる組み込みデバッグ回路であっても、複数のデバッグ機能を有効に利用できると共にプログラムの開発工程と対応したデバッグ環境を構築できるようにする。

【解決手段】 半導体集積回路装置は、CPU110及び該CPU110で実行されるプログラムの動作を検証するデバッグ基本回路部160を有する第1の半導体チップ100と、第1の半導体チップ100の主面上に保持され、CPU110及びデバッグ基本回路部160と電気的に接続されたデバッグ拡張回路部210を有する第2の半導体チップ200とを備えている。デバッグ基本回路部160は外部から入力される命令を解析するデバッグ命令解析部172を有している。第2の半導体チップ200に形成されたデバッグ拡張回路部210は、少なくとも1つのデバッグ回路を含むデバッグ機能回路部220を有している。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社